

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroyuki KAWAMOTO, et al.

GAU: 2022

SERIAL NO: NEW APPLICATION

EXAMINER: LAMB

FILED: HERewith

FOR: IMAGE PROCESSING APPARATUS

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS

WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

JAPAN

APPLICATION NUMBER

11-306014

MONTH/DAY/YEAR

October 27, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

JC825 U.S. PTO
09/693987



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC825 U.S. PTO
09/693987
10/23/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年10月27日

出 願 番 号
Application Number:

平成11年特許願第306014号

出 願 人
Applicant(s):

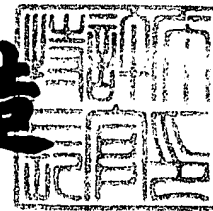
株式会社リコー

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 8月25日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3068823

【書類名】 特許願

【整理番号】 9902019

【提出日】 平成11年10月27日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/40

【発明の名称】 画像処理装置

【請求項の数】 6

【発明者】

 【住所又は居所】 東京都大田区中馬込 1丁目3番6号 株式会社リコー内

 【氏名】 川本 啓之

【発明者】

 【住所又は居所】 東京都大田区中馬込 1丁目3番6号 株式会社リコー内

 【氏名】 野水 泰之

【発明者】

 【住所又は居所】 東京都大田区中馬込 1丁目3番6号 株式会社リコー内

 【氏名】 波塚 義幸

【発明者】

 【住所又は居所】 東京都大田区中馬込 1丁目3番6号 株式会社リコー内

 【氏名】 宮崎 秀人

【発明者】

 【住所又は居所】 東京都大田区中馬込 1丁目3番6号 株式会社リコー内

 【氏名】 宮崎 慎也

【発明者】

 【住所又は居所】 東京都大田区中馬込 1丁目3番6号 株式会社リコー内

 【氏名】 高橋 祐二

【発明者】

 【住所又は居所】 東京都大田区中馬込 1丁目3番6号 株式会社リコー内

 【氏名】 佐藤 多加子

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 刀根 剛治

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 吉澤 史男

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 福田 拓章

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 石井 理恵

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 樽木 杉高

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810808

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 注目画素の周囲の画素を参照して当該画素の処理をおこなう画像処理装置において、

所定の長さの画素を読み出してバッファリングしたのち、SIMD型プロセッサへ書き込む入力 I / F 用メモリーと、

前記入力 I / F 用メモリーから書き込まれた画素を一括して処理する SIMD 型プロセッサと、

前記 SIMD 型プロセッサにより一括処理された画素を読み出してバッファリングしたのち、所定の出力先へ書き込む出力 I / F 用メモリーと、

前記入力 I / F 用メモリーおよび出力 I / F 用メモリーの読み込みおよび／または書き込みのタイミングを制御する制御手段と、

を備えたことを特徴とする画像処理装置。

【請求項 2】 注目画素の周囲の画素を参照して当該画素の処理をおこなう画像処理装置において、

所定の長さの画素を読み出してバッファリングしたのち、前記所定の画素の読み出しより速い速度で SIMD 型プロセッサへ書き込む入力 I / F 用メモリーと、

前記入力 I / F 用メモリーから書き込まれた画素を一括して処理する SIMD 型プロセッサと、

前記 SIMD 型プロセッサにより一括処理された画素を読み出してバッファリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出力先へ書き込む出力 I / F 用メモリーと、

前記入力 I / F 用メモリーおよび出力 I / F 用メモリーの読み込みおよび／または書き込みのタイミングおよび読み込みおよび／または書き込みの速度を制御する制御手段と、

を備えたことを特徴とする画像処理装置。

【請求項 3】 注目画素の周囲の画素を参照して当該画素の処理をおこなう

画像処理装置において、

所定の長さの画素を読み出してバッファリングしたのち、前記所定の画素の読み出しより速い速度でSIMD型プロセッサへ書き込み、当該SIMD型プロセッサの一括して処理する画素より少ない容量を有する入力I/F用メモリーと、

前記入力I/F用メモリーから書き込まれた画素を一括して処理するSIMD型プロセッサと、

前記SIMD型プロセッサにより一括処理された画素を読み出してバッファリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出力先へ書き込み、前記SIMD型プロセッサの一括して処理する画素より少ない容量を有する出力I/F用メモリーと、

前記入力I/F用メモリーに対する書き込みおよび／または読み出しの速度と、当該速度と当該入力I/F用メモリーの容量に基づいて当該I/F用メモリーに対する書き込みおよび／または読み出しのタイミング、および／または、前記出力I/F用メモリーに対する書き込みおよび／または読み出しの速度と、当該速度と当該出力I/F用メモリーの容量に基づいて当該I/F用メモリーに対する書き込みおよび／または読み出しのタイミングを制御する制御手段と、

を備えたことを特徴とする画像処理装置。

【請求項4】

前記制御手段は、前記書き込みおよび読み出しのタイミングを制御して、前記入力I/F用メモリーおよび出力I/F用メモリーを複数回使用することを特徴とする請求項1、2または3に記載の画像処理装置。

【請求項5】

前記SIMD型プロセッサの前記一括して処理する画素数から前記注目画素の参照する周囲の画素の数を差し引いた有効画素数がディザマトリックスの倍数であることを特徴とする請求項1～4のいずれか一つに記載の画像処理装置。

【請求項6】

前記SIMD型プロセッサは、前記入力I/F用メモリーもしくは出力I/F用メモリーから物理的に着脱可能であることを特徴とする請求項1～5のい

れか一つに記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、デジタル画像データに対する画像処理、特に、複写機、ファクシミリ、プリンター、スキャナー等の機能を複合したデジタル複合機における画像データに対する画像処理をおこなう画像処理装置に関する。

【0002】

【従来の技術】

従来、画像処理装置としてアナログ画像処理装置が普及している。さらに、近年の技術の向上および、画像のカラー化の要請等により、従来のアナログ画像処理装置に加え、デジタル化された画像データの処理をおこなうデジタル複写機が普及しつつある。

【0003】

さらに、単に複写機能を有する複写装置、ファクシミリ機能を備えるファクシミリ装置、スキャナー機能を有するスキャナー装置等といったそれぞれ別々の目的に特化した製品としてではなく、上記複写機能、ファクシミリ機能およびスキャナー機能等の各機能を複合した、いわゆるデジタル複合機が存在する。

【0004】

図18は、従来技術に係るデジタル複合機のハードウェア構成を示すブロック図である。

【0005】

図18に示すように、デジタル複合機は、画像データを読み取るデジタル読取ユニット2201、読み取った画像データを処理する画像処理ユニット2202、画像データに対して各種の制御をおこなうビデオ制御部2203、処理された画像データを記録紙に出力等する書込ユニット2204の一連の各構成部、さらには画像データの保持を制御するメモリー制御ユニット2205および画像データを保持するメモリー・モジュール2206によって形成される複写機を構成する部分（複写機部分）と、マザーボード2211を介して、追加的にファク

シミリ送受信を制御するファクシミリ制御ユニット 2 2 1 2、外部接続されたパーソナル・コンピュータから送出された画像データの入力制御をおこなうプリンター制御ユニット 2 2 1 3、スキャナーとして使用する場合の画像データの入出力制御をおこなうスキャナー制御ユニット 2 2 1 4 等のユニットが接続されることによって、デジタル複合機としての各機能を実現していた。

【0 0 0 6】

したがって、複写機としての機能を実現する複写機部分は、読取ユニット 2 2 0 1、画像処理ユニット 2 2 0 2、ビデオ制御部 2 2 0 3、書込ユニット 2 2 0 4 の各構成部は、システム・コントローラ 2 2 0 7、RAM 2 2 0 8、ROM 2 2 0 9 によって各構成部の一連の動作が制御され、ファクシミリ制御ユニット 2 2 1 2、プリンター制御ユニット 2 2 1 3、スキャナー制御ユニット 2 2 1 4 等の各ユニットは、複写機における確立された一連の動作の一部を利用することにより各ユニットの機能を実現していた。

【0 0 0 7】

換言すると、上記一連の構成部による一つのシステムとして確立している複写機部分にファクシミリ制御ユニット 2 2 1 2、プリンター制御ユニット 2 2 1 3、スキャナー制御ユニット 2 2 1 4 をアドオンすることにより、デジタル複合機の機能を実現するものであった。これは、上記一連の構成部を A S I C (A p p l i c a t i o n S p e c i f i c I n t e g r a t e d C i r c u i t) 等のハードウェアにより構成することにより、処理速度を重視する（処理の高速化を図る）という背景によるものであった。

【0 0 0 8】

特に、特開平 5 - 2 0 2 8 3 号公報「並列データ処理装置」では、SIMD (S i n g l e I n s t r u c t i o n M u l t i p l e D a t a s t r e a m) 型並列データ処理装置とMIMD (M u l t i p l e I n s t r u c t i o n M u l t i p l e D a t a s t r e a m) 型並列データ処理装置とを含んだ並列データ処理装置に関する技術が開示されている。

【0 0 0 9】

この並列データ処理装置では、切替制御をおこなうことにより、定型的な処理

(シェーディング補正処理、スキャナ γ 補正処理など)に関してはSIMD型並列データ処理をおこない、非定型的な処理(誤差拡散処理)に関してはMIMD型並列データ処理をおこなうことにより、処理速度の向上を図っている。

【0010】

したがって、この並列データ処理装置を、読取ユニット2201、ファクシミリ制御ユニット2212、プリンター制御ユニット2213、スキャナー制御ユニット2214および画像処理ユニット2202に適用することによって、高速な画像処理を図ることが可能である。

【0011】

【発明が解決しようとする課題】

しかしながら、上記従来技術におけるデジタル複合機においては、上述のとおり複写機部分が一つのシステムとして確立していることから、ファクシミリ制御ユニット2212、プリンター制御ユニット2213、スキャナー制御ユニット2214等、上記複写機部分に接続された各ユニットについては、各機能を実現するために複写機部分とは別個にそれぞれ独立してシステムを構築しなければならなかった。

【0012】

これは、画像処理ユニット2202をはじめとして、各ユニットが、その画像処理機能を実現するために必要なASIC(図18では図示せず)をそれぞれ備えるように構成する必要があることを意味し、資源が有効活用されていないという問題点があった。

【0013】

また、各ユニットの重複をなくし、画像処理は画像処理ユニットのみで処理するように効率的なデジタル複合機を構成した場合であっても、以下のような問題点があった。たとえば、読取ユニットや書込ユニットのみを変更した場合、具体的には、400dpiであった読取ユニットあるいは書込ユニットを600dpiのものに変更した場合に、単にユニットの交換のみの作業では装置全体の機能向上を容易におこなうことができなかった。

【0014】

具体的には、400dpiによって読み取り／書き込みされるように一連のシステムが確立されてしまっているため、画像処理ユニットについても、600dpiによる読み取り／書き込みができるようにユニット内の画像処理プロセッサを再設計する必要があった。

【0015】

これは、並列計算によりSIMD型プロセッサを用いて高速に画像処理させたい要求がある一方で、注目画素の周囲の画素を参照して処理する必要のある画像処理（誤差拡散処理など）をおこなう場合に、一つのプロセッサであつかうことのできる最大画素が画像処理プロセッサ内部のラインメモリーで制限されるからである。

【0016】

したがって、画像処理プロセッサの内部のほとんどのリソースは共通でありながら、内部のメモリー容量の大きさが相対的に不足したということだけでチップの改版をおこなう必要があり、開発効率が悪く画像処理プロセッサを有効に活用できないという問題点があった。

【0017】

この発明は、上述した従来技術による問題点を解消するため、画像処理ユニット（画像処理プロセッサ）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサを有効に活用し、高速な画像処理をおこなう画像処理装置を提供することを目的とする。

【0018】

【課題を解決するための手段】

上述した課題を解決し、目的を達成するため、請求項1の発明に係る画像処理装置は、注目画素の周囲の画素を参照して当該画素の処理をおこなう画像処理装置において、所定の長さの画素を読み出してバッファリングしたのち、SIMD型プロセッサへ書き込む入力I/F用メモリーと、前記入力I/F用メモリーから書き込まれた画素を一括して処理するSIMD型プロセッサと、前記SIMD型プロセッサにより一括処理された画素を読み出してバッファリングしたのち、所定の出力先へ書き込む出力I/F用メモリーと、前記入力I/F用

メモリーおよび出力 I / F 用メモリーの読み込みおよび／または書き込みのタイミングを制御する制御手段と、を備えたことを特徴とする。

【 0 0 1 9 】

この請求項 1 の発明によれば、制御手段が入力 I / F 用メモリーおよび出力 I / F 用メモリーの読み込みおよび／または書き込みのタイミングを制御するため、重複した画素を SIMD 型プロセッサで処理させることができる。

【 0 0 2 0 】

また、請求項 2 の発明に係る画像処理装置は、注目画素の周囲の画素を参照して当該画素の処理をおこなう画像処理装置において、所定の長さの画素を読み出してバッファリングしたのち、前記所定の画素の読み出しより速い速度で SIMD 型プロセッサへ書き込む入力 I / F 用メモリーと、前記入力 I / F 用メモリーから書き込まれた画素を一括して処理する SIMD 型プロセッサと、前記 SIMD 型プロセッサにより一括処理された画素を読み出してバッファリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出力先へ書き込む出力 I / F 用メモリーと、前記入力 I / F 用メモリーおよび出力 I / F 用メモリーの読み込みおよび／または書き込みのタイミングおよび読み込みおよび／または書き込みの速度を制御する制御手段と、を備えたことを特徴とする。

【 0 0 2 1 】

この請求項 2 の発明によれば、制御手段が入力 I / F 用メモリーおよび出力 I / F 用メモリーの読み込みおよび／または書き込みのタイミングを制御するため、重複した画素を、さらに高速に SIMD 型プロセッサで処理させることができる。

【 0 0 2 2 】

また、請求項 3 の発明に係る画像処理装置は、注目画素の周囲の画素を参照して当該画素の処理をおこなう画像処理装置において、所定の長さの画素を読み出してバッファリングしたのち、前記所定の画素の読み出しより速い速度で SIMD 型プロセッサへ書き込み、当該 SIMD 型プロセッサの一括して処理する画素より少ない容量を有する入力 I / F 用メモリーと、前記入力 I / F 用メモリーから書き込まれた画素を一括して処理する SIMD 型プロセッサと、前記

SIMD型プロセッサにより一括処理された画素を読み出してバッファリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出力先へ書き込み、前記SIMD型プロセッサの一括して処理する画素より少ない容量を有する出力I/F用メモリと、前記入力I/F用メモリに対する書き込みおよび/または読み出しの速度と、当該速度と当該入力I/F用メモリの容量に基づいて当該I/F用メモリに対する書き込みおよび/または読み出しのタイミング、および/または、前記出力I/F用メモリに対する書き込みおよび/または読み出しの速度と、当該速度と当該出力I/F用メモリの容量に基づいて当該I/F用メモリに対する書き込みおよび/または読み出しのタイミングを制御する制御手段と、を備えたことを特徴とする。

【0023】

この請求項3の発明によれば、制御手段が入力I/F用メモリに対する書き込みおよび/または読み出しの速度と、当該速度と当該入力I/F用メモリの容量に基づいて当該I/F用メモリに対する書き込みおよび/または読み出しのタイミング、および/または、出力I/F用メモリに対する書き込みおよび/または読み出しの速度と、当該速度と当該出力I/F用メモリの容量に基づいて当該I/F用メモリに対する書き込みおよび/または読み出しのタイミングを制御するので、入力I/F用メモリおよび出力I/F用メモリの容量を考慮しつつ、重複した画素をSIMD型プロセッサでもっとも効率的に処理させることができる。

【0024】

また、請求項4の発明に係る画像処理装置は、請求項1、2または3に記載の発明において、前記制御手段が、前記書き込みおよび読み出しのタイミングを制御して、前記入力I/F用メモリおよび出力I/F用メモリを複数回使用することを特徴とする。

【0025】

この請求項4の発明によれば、SIMD型プロセッサで一括処理できる画素の長さを長くする（1ラインにおける画素数を多くする）ことができる。

【0026】

また、請求項 5 の発明に係る画像処理装置は、請求項 1 ～ 4 のいずれか一つに記載の発明において、前記 SIMD 型プロセッサの前記一括して処理する画素数から前記注目画素の参照する周囲の画素の数を差し引いた有効画素数がディザマトリックスの倍数であることを特徴とする。

【0027】

この請求項 5 の発明によれば、各有効画素のつなが目がディザマトリックスの切り替わりと一致することで、ディザ処理演算を円滑におこなうことができる。

【0028】

また、請求項 6 の発明に係る画像処理装置は、請求項 1 ～ 5 のいずれか一つに記載の発明において、前記 SIMD 型プロセッサが、前記入力 I/F 用メモリーもしくは出力 I/F 用メモリーから物理的に着脱可能であることを特徴とする。

【0029】

この請求項 6 の発明によれば、I/F 用メモリーはそのまま、処理能力の向上した SIMD 型プロセッサ部分のみを交換することができる。

【0030】

【発明の実施の形態】

以下に添付図面を参照して、この発明に係る画像処理装置の好適な実施の形態を詳細に説明する。

【0031】

〔実施の形態 1〕

まず、本実施の形態に係る画像処理装置の原理について説明する。図 1 は、この発明の本実施の形態に係る画像処理装置の構成を機能的に示すブロック図である。図 1 において、画像処理装置は、以下に示す 5 つのユニットを含む構成である。

【0032】

上記 5 つのユニットとは、画像データ制御ユニット 100 と、画像データを読み取る画像読取ユニット 101 と、画像を蓄積する画像メモリーを制御して画像データの書き込み／読み出しをおこなう画像メモリー制御ユニット 102 と、画

像データに対し加工編集等の画像処理を施す画像処理ユニット103と、画像データを転写紙等へ書き込む画像書込ユニット104と、である。

【0033】

上記各ユニットは、画像データ制御ユニット100を中心に、画像読取ユニット101と、画像メモリー制御ユニット102と、画像処理ユニット103と、画像書込ユニット104とがそれぞれ画像データ制御ユニット100に接続されている。

【0034】

(画像データ制御ユニット100)

画像データ制御ユニット100によりおこなわれる処理としては以下のようなものがある。たとえば、

【0035】

- (1) データのバス転送効率を向上させるためのデータ圧縮処理（一次圧縮）
 - (2) 一次圧縮データの画像データへの転送処理
 - (3) 画像合成処理（複数ユニットからの画像データを合成すること可能である。また、データバス上での合成も含む。）
 - (4) 画像シフト処理（主走査および副走査方向の画像のシフト）
 - (5) 画像領域拡張処理（画像領域を周辺へ任意量だけ拡大することが可能）
 - (6) 画像変倍処理（たとえば、50%または200%の固定変倍）
 - (7) パラレルバス・インターフェース処理
 - (8) シリアルバス・インターフェース処理（後述するプロセス・コントローラ211とのインターフェース）
 - (9) パラレルデータとシリアルデータのフォーマット変換処理
 - (10) 画像読取ユニット101とのインターフェース処理
 - (11) 画像処理ユニット103とのインターフェース処理
- 等である。

【0036】

(画像読取ユニット101)

画像読取ユニット101によりおこなわれる処理としては以下のようなものが

ある。たとえば、

【0037】

- (1) 光学系による原稿反射光の読取処理、
 - (2) CCD (Charge Coupled Device : 電荷結合素子) での電気信号への変換処理、
 - (3) A/D変換器でのディジタル化処理、
 - (4) シェーディング補正処理 (光源の照度分布ムラを補正する処理)、
 - (5) スキャナー γ 補正処理 (読取系の濃度特性を補正する処理)、
- 等である。

【0038】

(画像メモリー制御ユニット102)

画像メモリー制御ユニット102によりおこなわれる処理としては以下のよう
なものがある。たとえば、

【0039】

- (1) システム・コントローラーとのインターフェース制御処理、
- (2) パラレルバス制御処理 (パラレルバスとのインターフェース制御処理)
- (3) ネットワーク制御処理、
- (4) シリアルバス制御処理 (複数の外部シリアルポートの制御処理)、
- (5) 内部バスインターフェース制御処理 (操作部とのコマンド制御処理)、
- (6) ローカルバス制御処理 (システム・コントローラーを起動させるためのROM、RAM、フォントデータのアクセス制御処理)、
- (7) メモリー・モジュールの動作制御処理 (メモリー・モジュールの書き込み/読み出し制御処理等)、
- (8) メモリー・モジュールへのアクセス制御処理 (複数のユニットからのメモリー・アクセス要求の調停をおこなう処理)、
- (9) データの圧縮/伸張処理 (メモリー有効活用のためのデータ量の削減するための処理)、
- (10) 画像編集処理 (メモリー領域のデータクリア、画像データの回転処理、

メモリー上での画像合成処理等)、
等である。

【0040】

(画像処理ユニット103)

画像処理ユニット103によりおこなわれる処理としては以下のようなものがある。たとえば、

【0041】

- (1) シェーディング補正処理(光源の照度分布ムラを補正する処理)、
 - (2) スキャナ γ 補正処理(読み取りデータの濃度特性を補正する処理)、
 - (3) MTF補正処理、
 - (4) 平滑処理、
 - (5) 主走査方向の任意変倍処理、
 - (6) 濃度変換(γ 変換処理:濃度ノッチに対応)、
 - (7) 単純多値化処理、
 - (8) 単純二値化処理、
 - (9) 誤差拡散処理、
 - (10) ディザ処理、
 - (11) ドット配置位相制御処理(右寄りドット、左寄りドット)、
 - (12) 孤立点除去処理、
 - (13) 像域分離処理(色判定、属性判定、適応処理)、
 - (14) 密度変換処理、
- 等である。

【0042】

(画像書込ユニット104)

画像書込ユニット104によりおこなわれる処理としては以下のようなものがある。たとえば、

【0043】

- (1) エッジ平滑処理(ジャギー補正処理)、
- (2) ドット再配置のための補正処理、

(3) 画像信号のパルス制御処理、

(4) パラレルデータとシリアルデータのフォーマット変換処理、

等である。

【0044】

(デジタル複合機のハードウェア構成)

つぎに、本実施の形態に係る画像処理装置がデジタル複合機を構成する場合のハードウェア構成について説明する。図2は本実施の形態に係る画像処理装置のハードウェア構成の一例を示すブロック図である。

【0045】

図2のブロック図において、本実施の形態に係る画像処理装置は、読取ユニット201と、センサー・ボード・ユニット202と、画像データ制御部203と、画像処理プロセッサ204と、ビデオ・データ制御部205と、作像ユニット(エンジン)206とを備える。また、本実施の形態に係る画像処理装置は、シリアルバス210を介して、プロセス・コントローラ211と、RAM212と、ROM213とを備える。

【0046】

また、本実施の形態に係る画像処理装置は、パラレルバス220を介して、画像メモリー・アクセス制御部221と、メモリー・モジュール222と、ファクシミリ制御ユニット224と、さらに、画像メモリー・アクセス制御部221に接続されるシステム・コントローラ231と、RAM232と、ROM233と、操作パネル234とを備える。

【0047】

ここで、上記各構成部と、図1に示した各ユニット100~104との関係について説明する。すなわち、読取ユニット201およびセンサー・ボード・ユニット202により、図1に示した画像読取ユニット101の機能を実現する。また同様に、画像データ制御部203により、画像データ制御ユニット100の機能を実現する。また同様に、画像処理プロセッサ204により画像処理ユニット103の機能を実現する。

【0048】

また同様に、ビデオ・データ制御部 205 および作像ユニット（エンジン） 206 により画像書込ユニット 104 を実現する。また同様に、画像メモリー・アクセス制御部 221 およびメモリー・モジュール 222 により画像メモリー制御ユニットを実現する。

【0049】

つぎに、各構成部の内容について説明する。原稿を光学的に読み取る読取ユニット 201 は、ランプとミラーとレンズから構成され、原稿に対するランプ照射の反射光をミラーおよびレンズにより受光素子に集光する。

【0050】

受光素子、たとえば CCD は、センサー・ボード・ユニット 202 に搭載され、CCD において電気信号に変換された画像データはデジタル信号に変換された後、センサー・ボード・ユニット 202 から出力（送信）される。

【0051】

センサー・ボード・ユニット 202 から出力（送信）された画像データは画像データ制御部 203 に入力（受信）される。機能デバイス（処理ユニット）およびデータバス間における画像データの伝送は画像データ制御部 203 がすべて制御する。

【0052】

画像データ制御部 203 は、画像データに関し、センサー・ボード・ユニット 202、パラレルバス 220、画像処理プロセッサ 204 間のデータ転送、画像データに対するプロセス・コントローラー 211 と画像処理装置の全体制御を司るシステム・コントローラー 207 との間の通信をおこなう。また、RAM 212 はプロセス・コントローラー 211 のワークエリアとして使用され、ROM 213 はプロセス・コントローラー 211 のブートプログラム等を記憶している。

【0053】

センサー・ボード・ユニット 202 から出力（送信）された画像データは画像データ制御部 203 を経由して画像処理プロセッサ 204 に転送（送信）され、光学系およびデジタル信号への量子化に伴う信号劣化（スキャナー系の信号

劣化とする)を補正し、再度、画像データ制御部 203 へ出力(送信)される。

【0054】

画像メモリー・アクセス制御部 221 は、メモリー・モジュールに対する画像データの書き込み/読み出しを制御する。また、システム・パラレルバス 220 に接続される各構成部の動作を制御する。また、RAM 232 はシステム・コントローラ 231 のワークエリアとして使用され、ROM 233 はシステム・コントローラ 231 のブートプログラム等を記憶している。

【0055】

操作パネル 234 は、画像処理装置がおこなうべき処理を入力する。たとえば、処理の種類(複写、ファクシミリ送信、画像読み込み、プリント等)および処理の枚数等を入力する。これにより、画像データ制御情報の入力をおこなうことができる。なお、ファクシミリ制御ユニット 224 の内容については後述する。

【0056】

つぎに、読み取った画像データをメモリー・モジュール 222 に蓄積して再利用するジョブと、メモリー・モジュール 222 に蓄積しないジョブとがあり、それぞれの場合について説明する。メモリー・モジュール 222 に蓄積する例としては、1枚の原稿について複数枚を複写する場合に、読取ユニット 201 を1回だけ動作させ、読取ユニット 201 により読み取った画像データをメモリー・モジュール 222 に蓄積し、蓄積された画像データを複数回読み出すという方法がある。

【0057】

メモリー・モジュール 222 を使わない例としては、1枚の原稿を1枚だけ複写する場合に、読み取り画像データをそのまま再生すればよいので、画像メモリー・アクセス制御部 221 によるメモリー・モジュール 222 へのアクセスをおこなう必要はない。

【0058】

まず、メモリー・モジュール 222 を使わない場合、画像処理プロセッサ 204 から画像データ制御部 203 へ転送されたデータは、再度画像データ制御部 203 から画像処理プロセッサ 204 へ戻される。画像処理プロセッサ 20

4においては、センサー・ボード・ユニット202におけるCCDによる輝度データを面積階調に変換するための画質処理をおこなう。

【0059】

画質処理後の画像データは画像処理プロセッサ204からビデオ・データ制御部205に転送される。面積階調に変化された信号に対し、ドット配置に関する後処理およびドットを再現するためのパルス制御をおこない、その後、作像ユニット206において転写紙上に再生画像を形成する。

【0060】

つぎに、メモリー・モジュール222に蓄積し画像読み出し時に付加的な処理、たとえば画像方向の回転、画像の合成等をおこなう場合の画像データの流について説明する。画像処理プロセッサ204から画像データ制御部203へ転送された画像データは、画像データ制御部203からパラレルバス220を経由して画像メモリー・アクセス制御部221に送られる。

【0061】

ここでは、システム・コントローラ231の制御に基づいて画像データとメモリー・モジュール222のアクセス制御、外部PC（パーソナル・コンピューター）223のプリント用データの展開、メモリー・モジュール222の有効活用のための画像データの圧縮／伸張をおこなう。

【0062】

画像メモリー・アクセス制御部221へ送られた画像データは、データ圧縮後メモリー・モジュール222へ蓄積され、蓄積された画像データは必要に応じて読み出される。読み出された画像データは伸張され、本来の画像データに戻し画像メモリー・アクセス制御部221からパラレルバス220を経由して画像データ制御部203へ戻される。

【0063】

画像データ制御部203から画像処理プロセッサ204への転送後は画質処理、およびビデオ・データ制御部205でのパルス制御をおこない、作像ユニット206において転写紙上に再生画像を形成する。

【0064】

画像データの流れにおいて、パラレルバス 220 および画像データ制御部 203 でのバス制御により、デジタル複合機の機能を実現する。ファクシミリ送信機能は読み取られた画像データを画像処理プロセッサ 204 にて画像処理を実施し、画像データ制御部 203 およびパラレルバス 220 を経由してファクシミリ制御ユニット 224 へ転送する。ファクシミリ制御ユニット 224 にて通信網へのデータ変換をおこない、公衆回線 (PN) 225 へファクシミリデータとして送信する。

【0065】

一方、受信されたファクシミリデータは、公衆回線 (PN) 225 からの回線データをファクシミリ制御ユニット 224 にて画像データへ変換され、パラレルバス 220 および画像データ制御部 203 を経由して画像処理プロセッサ 204 へ転送される。この場合、特別な画質処理はおこなわず、ビデオ・データ制御部 205 においてドット再配置およびパルス制御をおこない、作像ユニット 206 において転写紙上に再生画像を形成する。

【0066】

複数ジョブ、たとえば、コピー機能、ファクシミリ送受信機能、プリンター出力機能が並行に動作する状況において、読取ユニット 201、作像ユニット 206 およびパラレルバス 220 の使用権のジョブへの割り振りをシステム・コントローラ 231 およびプロセス・コントローラ 211 において制御する。

【0067】

プロセス・コントローラ 211 は画像データの流れを制御し、システム・コントローラ 231 はシステム全体を制御し、各リソースの起動を管理する。また、デジタル複合機の機能選択は操作パネル (操作部) 234 において選択入力し、コピー機能、ファクシミリ機能等の処理内容を設定する。

【0068】

システム・コントローラ 231 とプロセス・コントローラ 211 は、パラレルバス 220、画像データ制御部 203 およびシリアルバス 210 を介して相互に通信をおこなう。具体的には、画像データ制御部 203 内においてパラレルバス 220 とシリアルバス 210 とのデータ・インターフェースのためのデータ

フォーマット変換をおこなうことにより、システム・コントローラ231とプロセス・コントローラ211間の通信をおこなう。

【0069】

(画像処理ユニット103／画像処理プロセッサ204)

つぎに、画像処理ユニット103を構成する画像処理プロセッサ204における処理の概要について説明する。図3は本実施の形態に係る画像処理装置の画像処理プロセッサ204の処理の一例を示すブロック図である。

【0070】

図3のブロック図において、画像処理プロセッサ204は、第1入力I/F501と、スキャナ画像処理部502と、第1出力I/F503と、第2入力I/F504と、画質処理部と、第2出力I/F506とを含む構成となっている。

【0071】

上記構成において、読み取られた画像データはセンサー・ボード・ユニット202、画像データ制御部203を介して画像処理プロセッサ204の第1入力インターフェース(I/F)501からスキャナ画像処理部502へ伝達される。

【0072】

読み取られた画像データの劣化を補正することが目的であり、具体的には、シェーディング補正、スキャナ γ 補正、MTF補正等をおこなう。補正処理ではないが、拡大／縮小の変倍処理もおこなうことができる。読み取り画像データの補正処理が終了すると、第1出力インターフェース(I/F)503を介して画像データ制御部203へ画像データを転送する。

【0073】

転写紙への出力の際は、画像データ制御部203からの画像データを第2入力I/F504より受信し、画質処理部505において面積階調処理をおこなう。画質処理後の画像データは第2出力I/F506を介してビデオ・データ制御部205または画像データ制御部203へ出力される。

【0074】

画質処理部 505 における面積階調処理は、濃度変換処理、ディザ処理、誤差拡散処理等があり、階調情報の面積近似を主な処理とする。一旦、スキャナー画像処理部 502 により処理された画像データをメモリー・モジュール 222 に蓄積しておけば、画質処理部 505 により画質処理を変えることによって種々の再生画像を確認することができる。

【0075】

たとえば、再生画像の濃度を振って（変更して）みたり、ディザマトリックスの線数を変更してみたりすることにより、再生画像の雰囲気容易に変更することができる。この際、処理を変更することに画像を読取ユニット 201 からの読み込みをやり直す必要はなく、メモリー・モジュール 222 から蓄積された画像データを読み出すことにより、同一画像データに対して、何度でも異なる処理を迅速に実施することができる。

【0076】

スキャナー画像処理部 502 および画質処理部 505 の処理内容はプログラマブルに変更することができる。処理の切り替え、処理手順の変更等はシリアル I/F 508 を介して制御部 507 において管理する。また、制御部 507 は、後述する FIFO メモリーのライトイネーブル信号（ライトイネーブルのタイミング）、リードイネーブル信号（リードイネーブルのタイミング）、書込クロック数、読出クロック数を制御する。

【0077】

図 3 においては、説明の便宜上、スキャナー画像処理部 502 および画質処理部 505 を別々のブロックで表したが、実際のデータは、同等な構造を有する SIMD 型プロセッサおよび FIFO メモリーとからなるユニットを複数結合することにより処理されるものであり、この結合された複数のユニットが、それぞれスキャナー画像処理部 502 および画質処理部に別個独立に配設されることが必要であることを意味するものではない。

【0078】

ここで、画像処理プロセッサ 204 の内部構成について説明する。図 4 は本実施の形態に係る画像処理装置の画像処理プロセッサ 204 の内部構成を示す

ブロック図であり、図5は概略構成図である。画像処理プロセッサは、外部とのデータ入出力に関し、複数個の入出力ポート（画像ポート）601を備え、それぞれデータの入力および出力を任意に設定することができる。

【0079】

また、入出力ポート601と接続するように内部にバス・スイッチ／ローカル・メモリー群602を備え、使用するメモリー領域、データバスの経路をメモリー制御部603において制御する。入力されたデータおよび出力のためのデータは、バス・スイッチ／ローカル・メモリー群602をバッファ・メモリーとして割り当て、それぞれに格納し、外部とのI/Fを制御される。

【0080】

バス・スイッチ／ローカル・メモリー群602に格納された画像データに対してプロセッサ・アレー部604において各種処理をおこない、出力結果（処理された画像データ）を再度バス・スイッチ／ローカル・メモリー群602に格納する。プロセッサの処理手順、処理のためのパラメーター等は、プログラムRAM605およびデータRAM606との間でやりとりをおこなう。

【0081】

プログラムRAM605、データRAM606の内容はシリアルI/F608を通じて、プロセス・コントローラー211からホスト・バッファ607にダウンロードされる。また、プロセス・コントローラー211がデータRAM606の内容を読み出して、処理の経過を監視する。

【0082】

処理の内容を変えたり、システムで要求される処理形態が変更になる場合は、プロセッサ・アレー部604が参照するプログラムRAM605およびデータRAM606の内容を更新して対応する。

【0083】

図6は、図5に示した画像処理プロセッサの概略構成図の一部分を模式的に示した模式図である。図6では、図5におけるローカル・メモリー群をデータの入力側に対してはIN_FIFOと表しデータの出力側に対してはOUT_FIFOと表す。また、プロセッサ・アレー部604はSIMD型プロセッサの

集合として表す。

【0084】

図から明らかなように、画像データは、同等な構造を有するSIMD型プロセッサおよびFIFOメモリとからなるユニットを複数結合することにより処理される。ただし、ここでのユニットとは、物理的に一体という意味でなく、単に、データの処理過程において組として使用されるという意味で用いる。

【0085】

このユニットが複数あることで、設定により定められた長さの画像データを入出力ポート601から入力して、プログラムの制御に基づいて、所望の画像処理をおこない、処理後のデータを入出力ポート601から出力するような動作が可能となる。

【0086】

本実施の形態では、SIMD型プロセッサが一度に読み込める画素長は、A3原稿を600dpiの画素密度で読み取ったときの主走査長である7020画素を越える長さの8000画素であるとする。したがって、600dpiで読み込む場合は、原理的に1個のSIMD型プロセッサで画像処理をおこなうことができる。

【0087】

本実施の形態の画像処理装置は、さらに、図6に示したように、SIMD型プロセッサおよびFIFOメモリとからなるユニットが複数個接続して、8000画素を越える主走査長のデータをあつかえるように構成したものである。32ビットの入力データであるiDTはFIFOメモリIN_FIFOに入力し、iSIMDとしてSIMD型プロセッサに出力される。

【0088】

SIMD型プロセッサで処理されたデータは、oSIMDとしてFIFOメモリOUT_FIFOに入力され、OUT_FIFOから出力データoDTとして出力される。IN_FIFOおよびOUT_FIFOはSIMD型プロセッサの個数だけ用意されている。

【0089】

本発明のSIMD型プロセッサは、使用の態様により着脱可能な構成である。これは、SIMD型プロセッサの処理能力が向上した場合に、SIMD型プロセッサ部分の交換により、画像処理装置全体の処理速度を向上することを可能とするためである。

【0090】

SIMD型プロセッサの処理能力の向上は、一般的には、処理クロック数を向上することにより可能となる。したがって、IN_FIFOの処理クロック数もしくはOUT_FIFOの処理クロック数と、SIMD型プロセッサの処理クロック数は異なり、通常、SIMD型プロセッサの方が高速となる。

【0091】

IN_FIFOへのライトクロック数（書き込みの速度）iWCLKとOUT_FIFOからのリードクロック数（読み出しの速度）oRCLKはiDTと同じクロック数である画素クロックsysclk（50MHz）が接続されている。一方、IN_FIFOのリードクロック数iRCLKおよびOUT_FIFOのライトクロック数oWCLKには、SIMD型プロセッサの処理クロック数である画素クロック数proclk（55MHz）が接続されている。

【0092】

複数あるIN_FIFO、OUT_FIFOのライトイネーブル信号、ライトリセット信号、リードイネーブル信号、リードリセット信号は、制御部507（図3参照）で各動作モードに応じた信号が発生される。なお、ここでは、SIMD型プロセッサに接続されるメモリーはFIFOメモリーとしたが、2portのRAMなどにより画像処理プロセッサを構成してもよい。

【0093】

つぎに、IN_FIFO、SIMD型プロセッサ、OUT_FIFOの処理の流れを、タイミングチャートを用いて説明する。図7は、IN_FIFO、SIMD型プロセッサ、OUT_FIFOの処理の流れを示すタイミングチャートである。

【0094】

ここでは、8128画素をあつかえるSIMD型プロセッサ2つを用いて1

5900画素を処理する画像処理装置について説明する。基本となる考え方は、たとえば読取ユニット201（図2参照）で読み込む主走査方向の1ライン分の画像データ15900画素を2分して、2つのSIMD型プロセッサで処理をまかない、処理できる画素長を大きくするというものである。通常の並列処理である場合、すなわち、他の画素を参照せずに、一定の画像処理をおこなう場合は、iDTから入力する画像データを単に切り分け、各IN_FIFOに入力すればよい。

【0095】

一方、誤差拡散処理のようなフィルターをかける処理、すなわち、周辺画素を参照して計算をおこなうようなアルゴリズムを実施する場合には、継ぎ目部分の演算を正しくおこなうため、2つのSIMD型プロセッサの担当する領域の継ぎ目部分に、お互いに重なり合う部分が必要となる。そのため8000画素の演算出力が必要な場合、この例では、処理する画素の先端と後端にそれぞれ64画素のオーバーラップする画素を付加する。そのため、IN_FIFOのライトイネーブルは8128画素分発生する。

【0096】

なお、SIMD型プロセッサで一括して画像処理することのできる画素数から注目画素の参照する周囲の画素の数を差し引いた画素数（有効画素数）が、ディザマトリックスの行の数もしくは列の数の倍数としてもよい。各有効画素のつなぎ目がディザマトリックスの切り替わりと一致することで、ディザ処理演算を円滑におこなうことが可能となり、また、処理プログラムを単純化することが可能となるからである。

【0097】

前述したように、SIMD型プロセッサの処理速度に合致するように、IN_FIFOからデータを読み出しSIMD型プロセッサへデータを渡す場合のクロック数は、IN_FIFOがiDTを入力するクロック数より速いクロック数である。この実施例では50MHzでIN_FIFOへ書き込みをおこない、55MHzでOUT_FIFO読み出しをおこなう。

【0098】

SIMD型プロセッサに渡されるデータは、8128画素単位で分割して送られる。SIMD型プロセッサは、当該プロセッサのライトイネーブルであるSIMD_WE1、SIMD_WE2で読み取る。SIMD型プロセッサ内部で所定の演算（画像処理）をおこなった後、当該プロセッサのリードイネーブルであるSIMD_RE1、SIMD_RE2で読み出しがおこなわれる。

【0099】

SIMD型プロセッサから読み出されたデータ。SIMDは有効画素以外のオーバーラップ分（64画素×2=128画素）が付加された8128画素である。そのため、有効部分（重複しない部分）の8000画素だけを切り取るようなタイミングでoWEN（ライトイネーブル）が発生される。

【0100】

2本のFIFOをトグルで動作する様に、ライトイネーブル、ライトリセットが発生する。読み出しは、入力された画素クロック（iDTの画素クロック=50MHz）で、各OUT_FIFOからの出力データがつながるようにoREN（リードイネーブル）を制御して、最終的なoDTが得られる。

【0101】

ゲート信号に関しては、入力データのゲート信号XiLSYNC、XiLGATEに対してSIMD型プロセッサと、そのインターフェース部でのゲート信号のディレーを付加した信号をXoLSYNC、XoLGATEとして生成される。このFIFOメモリのタイミングの場合、入力データをFIFOメモリにライトし終わってからリードをおこなう。そのためFIFOメモリの長さはSIMD型プロセッサの処理画素数（8128画素）以上必要となる。

【0102】

（画像データ制御ユニット100／画像データ制御部203）

つぎに、画像データ制御ユニット100を構成する画像データ制御部203における処理の概要について説明する。図8は本実施の形態に係る画像処理装置の画像データ制御部203の処理の概要を示すブロック図である。

【0103】

図8のブロック図において、画像データ入出力部701は、センサー・ボード

・ユニット 202 からの画像データを入力（受信）し、画像処理プロセッサ 204 に対して画像データを出力（送信）する。すなわち、画像データ入出力部 701 は、画像読取ユニット 101 と画像処理ユニット 103（画像処理プロセッサ 204）接続するための構成部であり、画像読取ユニット 101 により読み取られた画像データを画像処理ユニット 103 へ送信するためだけの専用の入出力部であるといえる。

【0104】

また、画像データ入力制御部 702 は、画像処理プロセッサ 204 でスキャナ画像補正された画像データを入力（受信）する。入力された画像データはパラレルバス 220 における転送効率を高めるために、データ圧縮部 703 においてデータ圧縮処理をおこなう。その後、データ変換部 704 を経由し、パラレルデータ I/F 705 を介してパラレルバス 220 へ送出される。

【0105】

パラレルバス 220 からパラレルデータ I/F 705 を介して入力される画像データは、バス転送のために圧縮されているため、データ変換部 704 を経由してデータ伸張部 706 へ送られ、そこでデータ伸張処理をおこなう。伸張された画像データは画像データ出力制御部 707 において画像処理プロセッサ 204 へ転送される。

【0106】

また、画像データ制御部 203 は、パラレルデータとシリアルデータの変換機能も備えている。システム・コントローラ 231 はパラレルバス 220 にデータを転送し、プロセス・コントローラ 211 はシリアルバス 210 にデータを転送する。画像データ制御部 203 は 2 つのコントローラの通信のためにデータ変換をおこなう。

【0107】

また、シリアルデータ I/F は、シリアルバス 210 を介してプロセス・コントローラとのデータのやりとりをする第 1 シリアルデータ I/F 707 と、画像処理プロセッサ 204 とのデータのやりとりに用いる第 2 シリアルデータ I/F 708 を備える。画像処理プロセッサ 204 との間に独立に 1 系統持つこ

とにより、画像処理プロセッサ 204 とのインターフェースを円滑化することができる。

【0108】

コマンド制御部 709 は、入力された命令にしたがって、上述した画像データ制御部 203 内の各構成部および各インターフェースの動作を制御する。

【0109】

(画像書込ユニット 104 / ビデオ・データ制御部 205)

つぎに、画像書込ユニット 104 の一部を構成するビデオ・データ制御部 205 における処理の概要について説明する。図 9 は本実施の形態に係る画像処理装置のビデオ・データ制御部 205 の処理の概要を示すブロック図である。

【0110】

図 9 のブロック図において、ビデオ・データ制御部 205 は、入力される画像データに対して、作像ユニット 206 の特性に応じて、追加の処理をおこなう。すなわち、エッジ平滑処理部 801 がエッジ平滑処理によるドットの再配置処理をおこない、パルス制御部 802 がドット形成のための画像信号のパルス制御をおこない、上記の処理がおこなわれた画像データを作像ユニット 206 へ出力する。

【0111】

画像データの変換とは別に、パラレルデータとシリアルデータのフォーマット変換機能を備え、ビデオ・データ制御部 205 単体でもシステム・コントローラ 231 とプロセス・コントローラ 211 の通信に対応することができる。すなわち、パラレルデータを送受信するパラレルデータ I/F 803 と、シリアルデータを送受信するシリアルデータ I/F 804 と、パラレルデータ I/F 803 およびシリアルデータ I/F 804 により受信されたデータを相互に変換するデータ変換部 805 とを備えることにより、両データのフォーマットを変換する。

【0112】

(画像メモリ制御ユニット 102 / 画像メモリ・アクセス制御部 221)

つぎに、画像メモリ制御ユニット 102 の一部を構成する画像メモリ・ア

クセス制御部 221 における処理の概要について説明する。図 10 は本実施の形態に係る画像処理装置の画像メモリー・アクセス制御部 221 の処理の概要を示すブロック図である。

【0113】

図 10 のブロック図において、画像メモリー・アクセス制御部 221 は、パラレルバス 220 との画像データのインターフェースを管理し、また、メモリー・モジュール 222 への画像データのアクセス、すなわち格納（書き込み）／読み出しを制御し、また、主に外部の PC から入力されるコードデータの画像データへの展開を制御する。

【0114】

そのために、画像メモリー・アクセス制御部 221 は、パラレルデータ I/F 901 と、システム・コントローラー I/F 902 と、メモリー・アクセス制御部 903 と、ラインバッファ 904 と、ビデオ制御部 905 と、データ圧縮部 906 と、データ伸張部 907 と、データ変換部 908 と、を含む構成である。

【0115】

ここで、パラレルデータ I/F 901 は、パラレルバス 220 との画像データのインターフェースを管理する。また、メモリー・アクセス制御部 903 は、メモリー・モジュール 222 への画像データのアクセス、すなわち格納（書き込み）／読み出しを制御する。

【0116】

また、入力されたコードデータは、ラインバッファ 904 において、ローカル領域でのデータの格納をおこなう。ラインバッファ 904 に格納されたコードデータは、システム・コントローラー I/F 902 を介して入力されたシステム・コントローラー 231 からの展開処理命令に基づき、ビデオ制御部 905 において画像データに展開される。

【0117】

展開された画像データもしくはパラレルデータ I/F 901 を介してパラレルバス 220 から入力された画像データは、メモリー・モジュール 222 に格納される。この場合、データ変換部 908 において格納対象となる画像データを選択

し、データ圧縮部 906 においてメモリー使用効率を上げるためにデータ圧縮をおこない、メモリー・アクセス制御部 903 にてメモリー・モジュール 222 のアドレスを管理しながらメモリー・モジュール 222 に画像データを格納（書き込み）する。

【0118】

メモリー・モジュール 222 に格納（蓄積）された画像データの読み出しは、メモリー・アクセス制御部 903 において読み出し先アドレスを制御し、読み出された画像データをデータ伸張部 907 において伸張する。伸張された画像データをパラレルバス 220 へ転送する場合、パラレルデータ I/F 901 を介してデータ転送をおこなう。

【0119】

（画像処理の内容）

つぎに、本実施の形態に係る画像処理装置の画像処理の内容について説明する。図 11 は、本実施の形態に係る画像処理装置のスキヤナーの概略（空間フィルターの一例）を示す説明図である。MTF 補正機能は空間フィルターの構成により実現する。

【0120】

図 11 において、2 次元の空間フィルターが、A～Y までのフィルター係数を伴って構成される場合に、入力画像データに関しては、すべての画像に同一の演算処理でフィルター処理を実施している。たとえば、入力画像データ（ i 行、 j 列）を中心にして空間フィルター処理をおこなう場合、それぞれ i 行、 j 列の画像に対し、対応する係数との演算処理をおこなう。（ i, j ）の画素は係数値 M との演算を、（ $i, j+1$ ）の画素は係数値 N との演算をそれぞれおこない、フィルターマトリックス内の計算結果が、注目画素（ i, j ）の処理結果として出力される。

【0121】

注目画素が（ $i, j+1$ ）の場合、（ $i, j+1$ ）の画素は係数値 M との演算をおこない、（ $i, j+2$ ）の画素は係数値 N との演算をおこない、フィルターマトリックス内の計算結果が、注目画素（ $i, j+1$ ）の処理結果として出力さ

れる。

【0122】

入力画像データが異なり、処理のためのパラメーターが共通な処理となっている。この空間フィルター処理において、係数値A～Yの値は固定ではなく、入力画像の特性、所望の画像品質に応じて値は任意に変更できる。また変更できないと画像処理機能の柔軟性が確保できなくなる場合がある。

【0123】

画像処理プロセッサ204での実施は、係数値をプロセス・コントローラよりダウンロードし、読取ユニットの構成が変更になり、読取画像劣化の特性が変更になっても、ロードするデータの内容を変更することでシステムの変更に対応できる。なお、画像処理プロセッサ204の並列処理については後に詳述する。

【0124】

図12は、本実施の形態に係る画像処理装置のシェーディング補正の概略を示す説明図である。また、図13は、本実施の形態に係る画像処理装置のシェーディング・データの概略を示す説明図である。シェーディング補正は照明系の照度分布に基づく反射光特性の不均一性を補正するもので、原稿の読み取りに先立ち濃度が均一な基準白板を読み取り、シェーディング補正のための基準データを生成し、このシェーディング・データに基づき、読み取り画像の読み取り位置に依存する反射分布の正規化をおこなう。

【0125】

図13に示すように、シェーディング・データは、原稿読み取り位置nに依存して反射分布が異なる。原稿読み取り位置の端部では均一濃度の白板が暗く読まれる。S_nは読み取り位置nでの白板読み取り信号レベルを示しており、S_nが大きいほど明るく読まれたことを示している。

【0126】

シェーディング補正は、位置に依存するデータに関して、同一内容の処理を各読み取り画像データに対し実施することでランプの光量分布ムラを補正する。図12に示すSデータは、図13に示す白板読み取りによって生成されたシェーデ

イング・データである。また、図 12 に示す D データは、各読み取りラインの読み取り画像データである。また、 n は読み取り位置を示す。

【0127】

C データは、D データのシェーディング補正後のデータであり、

$$C_n = A * (D_n / S_n)$$

で正規化される。ここで、 A は正規化係数である。

【0128】

画像処理プロセッサ 204 においては、S データをローカル・メモリーに格納し、入力された D データに対し対応する D_n 、 S_n 間で補正演算をおこなう。

【0129】

(SIMD 型プロセッサの構成)

図 14 は SIMD 型プロセッサの概略構成を示す説明図である。SIMD (Single Instruction stream Multiple Data stream) は複数のデータに対し、単一の命令を並列に実行させるもので、複数の PE (プロセッサ・エレメント) より構成される。この SIMD 型プロセッサは図 4 もしくは図 5 におけるプロセッサ・アレー部 604 内に配設される。

【0130】

それぞれの PE はデータを格納するレジスター (Reg) 2001、他の PE のレジスターをアクセスするためのマルチプレクサー (MUX) 2002、バレルシフター (Shift Expand) 2003、論理演算器 (ALU) 2004、論理結果を格納するアキュムレーター (A) 2005、アキュムレーターの内容を一時的に退避させるテンポラリー・レジスター (F) 2006 から構成される。

【0131】

各レジスター 2001 はアドレスバスおよびデータバス (リード線およびワード線) に接続されており、処理を規定する命令コード、処理の対象となるデータを格納する。レジスター 2001 の内容は論理演算器 2004 に入力され、演算処理結果はアキュムレーター 2005 に格納される。結果を PE 外部に取り出す

ために、テンポラリー・レジスター 2006 に一旦退避させる。テンポラリー・レジスター 2006 の内容を取り出すことにより、対象データに対する処理結果が得られる。

【0132】

命令コードは各 P E に同一内容で与え、処理の対象データを P E ごとに異なる状態で与え、隣接 P E のレジスター 2001 の内容をマルチプレクサー 2002 において参照することで、演算結果は並列処理され、各アキュムレータ 2005 に出力される。

【0133】

たとえば、画像データ 1 ラインの内容を各画素ごとに P E に配置し、同一の命令コードで演算処理させれば、1 画素ずつ逐次処理するよりも短時間で 1 ライン分の処理結果が得られる。特に、空間フィルタ処理、シェーディング補正処理は P E ごとの命令コードは演算式そのもので、P E すべてに共通に処理を実施することができる。

【0134】

以上説明したように、本実施の形態に係る画像処理装置は、汎用の固定長のメモリーを有する演算プロセッサを複数個、たとえば、主走査方向の 1 ラインの画素を処理すべく接続して用いるので、多機能を実現するシステムの画像処理により、開発効率を向上した高速な画像処理をおこなうことができる。

【0135】

また、F I F O メモリーを設け、適当なタイミングでリードイネーブル、ライトイネーブルとなるように制御されるので、一定長の重複画素を処理することにより、他の画素を参照する画像処理であっても、高速な並列処理を図ることができる。

【0136】

また、S I M D 型プロセッサの処理クロック数が F I F O メモリーと異なっても、画像処理可能であり、高速な画像処理を図ることが可能となる。多機能を実現するシステムの画像処理に関する各資源の有効活用を図り、開発効率を向上した高速な画像処理をおこなうことができる。

【0137】

〔実施の形態2〕

実施の形態1では、入出力のFIFOメモリーがSIMD型プロセッサにおける処理画素数以上の値を必要としていたが、実施の形態2では、FIFOメモリーがSIMD型プロセッサの処理画素数以下でも、高速に画像処理する画像処理装置について説明する。本実施の形態においては、実施の形態1と共通する部分については、説明を省略し、実施の形態1と異なる部分について説明する。なお、図面も、実施の形態1と同一の部分については同一の符号を付することとする。

【0138】

図15は、実施の形態2の画像処理装置の画像処理プロセッサにおける処理動作を示すタイミングチャートである。本実施の形態においては入力データIDTが主走査方向の単位である15900画素ごとに処理され、オーバーラップ分を含めて50MHzのクロック数で8128画素分IN_FIFOに書き込まれる点については実施の形態1の場合と同じである。

【0139】

実施の形態1ではFIFOメモリーにすべてのデータを書き終わってから読み出しがおこなわれていたが、本実施例では書き終わる前に読み出しを開始する。書き込まれるデータのクロック数は50MHzで読み出しのクロック数は55MHzである。

【0140】

したがって、読み出しの方が速いが、FIFOメモリーに813画素($8128 \times 5 / 50 = 812.8$)を保持する容量とすれば、813画素以上のデータを蓄積後(書き込み後)に読み出しを開始する制御をおこなうことにより、読み出しのアドレスが書き込みのアドレスを追い越すことはない。

【0141】

すなわち、FIFOメモリーがSIMD型プロセッサの一括処理できる容量より小さい場合であっても、FIFOメモリーの読出、書き込みのタイミング制御をおこなうことによって、画像処理プロセッサ全体を改版しなくてよくなる

【0142】

また、一般にFIFOメモリーは一定のバッファリングをおこなうため、後の処理動作に一定のタイムラグを生じる。したがって、FIFOメモリーの容量が小さい方が、処理が高速となるといえる。したがって、本発明のように、SIMD型プロセッサの処理速度の向上に伴って、FIFOメモリーが相対的に容量不足になっても、かえって、全体の処理速度の向上が図られる。もしくは、意図的にFIFOメモリーを小さくし、かつ、SIMD型プロセッサを高速にすることによって、処理速度の向上を相乗的に図ることが可能となる。

【0143】

なお、出力側のOUT_FIFOのデータの入出力は入力側と反対であり、OUT_FIFOへのデータ入力は55MHzでおこなわれ、データ出力は50MHzでおこなわれる。したがって、書き込みのアドレスを読み出しのアドレスが追い越すことはない。

【0144】

ただし、読み出しの方が遅いので、読み出す前のデータはFIFOメモリー内に蓄積しておく必要がある。前述したように、8128画素のデータをあつかうのであればOUT_FIFOは813画素以上のデータを蓄積できる長さが必要となる。なお、入力のゲート信号に対する遅延は請求項1と同じようにゲート遅延ブロックで所望の量だけおこなわれる。

【0145】

実施の形態2の画像処理装置は、SIMD型プロセッサの処理速度が、IN_FIFOへの書き込み速度およびOUT_FIFOからの読出速度より高速であっても、所定の書込タイミングもしくは読出タイミングを制御することにより、SIMD型プロセッサはその高速処理能力を十分に発揮しつつ、FIFOメモリーにあっては、容量を少なくしてタイムラグの発生を減少させることが可能となり、全体として高速な画像処理が可能となる。

【0146】

〔実施の形態3〕

実施の形態 3 では、少ない SIMD 型プロセッサの個数でさらに長い主走査をカバーできる画像処理装置を提供する。本実施の形態においては、実施の形態 1 または 2 と共通する部分については、説明を省略し、実施の形態 1 または 2 と異なる部分について説明する。なお、図面も、実施の形態 1 または 2 と同一の部分については同一の符号を付することとする。

【0147】

図 16 は、2 個の SIMD 型プロセッサを 2 回繰り返して用いることで、31800 画素まで一括して画像処理する画像処理プロセッサの処理動作のタイミングチャートである。基本的なライトイネーブルのタイミングとリードイネーブルのタイミングは実施の形態 2 と同様であり、SIMD 型プロセッサの一括処理長である 8128 画素より短い FIFO メモリーと I/F できるようなタイミングがとられているものである。

【0148】

2 つの SIMD 型プロセッサをそれぞれ、SIMD 型プロセッサ 1、SIMD 型プロセッサ 2 とする。SIMD 型プロセッサ 1 が先頭から 8128 画素のデータ 1 を処理する。64 画素のオーバーラップを含んでつぎの 8128 画素のデータ 2 の処理は SIMD 型プロセッサ 2 がおこなう。

【0149】

つぎの 8128 画素のデータ 1 が入ってくるときには、SIMD 型プロセッサ 1 はすでに処理を終えているので、このデータの処理に SIMD 型プロセッサ 1 は再度使用される。さらにつぎの 8128 画素のデータ 2 が入ってくるときには、SIMD 型プロセッサ 2 はすでに処理を終えているので、このデータの処理に SIMD 型プロセッサ 2 は再度使用される。

【0150】

実施の形態 3 では、図 2 における、読取ユニット 201 等で、一括して処理する必要のある主走査方向にまとまった画素が増大し、用意された SIMD 型プロセッサの一括処理長より長くなった場合でも、画像処理プロセッサを交換することなく、SIMD 型プロセッサを繰り返し用いて画像処理をすることが可能となる。

【0151】

〔実施の形態4〕

本実施の形態では、実施の形態1、2または3で説明した各SIMD型プロセッサの画像の連結の際のオーバーラップの量を変えられるようにした画像処理装置について説明する。

【0152】

通常、SIMD型プロセッサの中でおこなわれる処理の内容によって最低限必要なオーバーラップの量は変化する。たとえば中心画素から左右5画素を参照する9画素のフィルタ処理が必要な場合は、オーバーラップは最低5画素を必要とする。これが像域分離など、さらに広い範囲を参照する必要のあるアルゴリズムの場合は、オーバーラップ量をさらに増やす必要がある。

【0153】

一方、常に余裕のあるオーバーラップの量を確保するためには、その分多くの画素を処理しなければいけないため処理クロック数の必要以上の高速化を招く。これは消費電力の増大、EMI (ElectroMagnetic Interference : 電磁妨害雑音) 対策を必要以上におこなう必要があり、コストアップの将来を招く。したがって、どうしても必要なときだけオーバーラップ数を増やすような制御が望ましい。

【0154】

図17はオーバーラップの画素を256画素にしたときのタイミングチャートである。オーバーラップの画素数が増え、左右で512画素必要であるためFIFOメモリーに入出力する画素数は8512画素となる。この画素数のデータをこれまでよりも速い60MHzの速度でFIFOメモリーから読み出す。データのブロック間は重なり合わずSIMD型プロセッサに渡される。SIMD型プロセッサでは8512画素を処理する必要がある、60MHzのクロック数でデータを受け取り、内部の処理をおこなう。

【0155】

ここで用いた60MHzのクロック数で入出力させるFIFOメモリーなどのタイミングはオーバーラップする画素数によって変化させる必要がある。オーバ

ーラップの量が少なければ処理する画素数も減るのでクロック速度も下がる。反対にオーバーラップの量が多ければクロック速度は上がる。

【0156】

処理が完了したデータは同じ60MHzのクロック数でSIMD型プロセッサから出力されてOUT_FIFOでオーバーラップの256画素を切り取られる。続いて、8000画素の有効データがつなぎ合わされて50MHzのクロック数で出力されODTとなる。

【0157】

実施の形態4では、処理内容に応じてSIMD型プロセッサのクロック速度や各FIFOメモリのタイミングを変えることで消費電力や放射電磁界の低減を図ることが可能になる。

【0158】

【発明の効果】

以上説明したように、請求項1に記載の発明によれば、入力I/F用メモリーが所定の長さの画素を読み出してバッファリングしたのち、SIMD型プロセッサへ書き込み、SIMD型プロセッサが前記入力I/F用メモリーから書き込まれた画素を一括して処理し、出力I/F用メモリーが前記SIMD型プロセッサにより一括処理された画素を読み出してバッファリングしたのち、所定の出力先へ書き込み制御手段が前記入力I/F用メモリーおよび出力I/F用メモリーの読み込みおよび／または書き込みのタイミングを制御するため、重複した画素を、さらに高速にSIMD型プロセッサで処理させることができ、これにより、画像処理ユニット（画像処理プロセッサ）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサを有効に活用し、高速な画像処理をおこなう画像処理装置を提供することが可能となるという効果を奏する。

【0159】

また、請求項2に記載の発明によれば、入力I/F用メモリーが所定の長さの画素を読み出してバッファリングしたのち、前記所定の画素の読み出しより速い速度でSIMD型プロセッサへ書き込み、SIMD型プロセッサが前記入

力 I/F 用メモリーから書き込まれた画素を一括して処理し、出力 I/F 用メモリーが前記 SIMD 型プロセッサにより一括処理された画素を読み出してバッファリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出力先へ書き込み、制御手段が前記入力 I/F 用メモリーおよび出力 I/F 用メモリーの読み込みおよび/または書き込みのタイミングおよび読み込みおよび/または書き込みの速度を制御するため、重複した画素を、さらに高速に SIMD 型プロセッサで処理させることができ、これにより、画像処理ユニット（画像処理プロセッサ）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサを有効に活用し、高速な画像処理をおこなう画像処理装置を提供することが可能となるという効果を奏する。

【0160】

また、請求項 3 に記載の発明によれば、SIMD 型プロセッサの一括して処理する画素より少ない容量を有する入力 I/F 用メモリーが所定の長さの画素を読み出してバッファリングしたのち、前記所定の画素の読み出しより速い速度で SIMD 型プロセッサへ書き込み、SIMD 型プロセッサが前記入力 I/F 用メモリーから書き込まれた画素を一括して処理し、前記 SIMD 型プロセッサの一括して処理する画素より少ない容量を有する出力 I/F 用メモリーが前記 SIMD 型プロセッサにより一括処理された画素を読み出してバッファリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出力先へ書き込み、制御手段が、前記入力 I/F 用メモリーに対する書き込みおよび/または読み出しの速度と、当該速度と当該入力 I/F 用メモリーの容量に基づいて当該 I/F 用メモリーに対する書き込みおよび/または読み出しのタイミング、および/または、前記出力 I/F 用メモリーに対する書き込みおよび/または読み出しの速度と、当該速度と当該出力 I/F 用メモリーの容量に基づいて当該 I/F 用メモリーに対する書き込みおよび/または読み出しのタイミングを制御するので、入力 I/F 用メモリーおよび出力 I/F 用メモリーの容量を考慮しつつ、重複した画素を SIMD 型プロセッサでもっとも効率的に処理させることができ、これにより、画像処理ユニット（画像処理プロセッサ）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサを有効に活用し

、高速な画像処理をおこなう画像処理装置を提供することが可能となるという効果を奏する。

【0161】

また、請求項4に記載の発明によれば、請求項1、2または3に記載の発明において、前記制御手段が、前記書き込みおよび読み出しのタイミングを制御して、前記入力I/F用メモリおよび出力I/F用メモリを複数回使用するため、SIMD型プロセッサで一括処理できる画素の長さを長くする（1ラインにおける画素数を多くする）ことができ、これにより、画像処理ユニット（画像処理プロセッサ）のメモリの容量が相対的に不足する場合であっても、画像処理プロセッサを有効に活用し、高速な画像処理をおこなう画像処理装置を提供することが可能となるという効果を奏する。

【0162】

また、請求項5に記載の発明によれば、請求項1～4のいずれか一つに発明において、前記SIMD型プロセッサの前記一括して処理する画素数から前記注目画素の参照する周囲の画素の数を差し引いた有効画素数がディザマトリックスの倍数であるため、各有効画素のつながりがディザマトリックスの切り替わりと一致することで、ディザ処理演算を円滑におこなうことができ、これにより、画像処理ユニット（画像処理プロセッサ）のメモリの容量が相対的に不足する場合であっても、画像処理プロセッサを有効に活用し、高速な画像処理をおこなう画像処理装置を提供することが可能となるという効果を奏する。

【0163】

また、請求項6に記載の発明によれば、請求項1～5のいずれか一つに記載の発明において、前記SIMD型プロセッサが、前記入力I/F用メモリもしくは出力I/F用メモリから物理的に着脱可能であるため、I/F用メモリはそのままで、処理能力の向上したSIMD型プロセッサ部分のみを交換することができ、これにより、画像処理ユニット（画像処理プロセッサ）のメモリの容量が相対的に不足する場合であっても、画像処理プロセッサを有効に活用し、高速な画像処理をおこなう画像処理装置を提供することが可能となるという効果を奏する。

【図面の簡単な説明】

【図 1】

実施の形態 1 に係る画像処理装置の構成を機能的に示すブロック図である。

【図 2】

実施の形態 1 に係る画像処理装置のハードウェア構成の一例を示すブロック図である。

【図 3】

実施の形態 1 に係る画像処理装置の画像処理プロセッサの処理の概要を示すブロック図である。

【図 4】

実施の形態 1 に係る画像処理装置の画像処理プロセッサの内部構成を示すブロック図である。

【図 5】

実施の形態 1 に係る画像処理装置の画像処理プロセッサの内部構成を示す概略構成図である。

【図 6】

図 5 に示した画像処理プロセッサの概略構成図の一部分を模式的に示した模式図である。

【図 7】

実施の形態 1 の IN_FIFO、SIMD 型プロセッサ、OUT_FIFO の処理の流れを示すタイミングチャートである。

【図 8】

実施の形態 1 に係る画像処理装置の画像データ制御部の処理の概要を示すブロック図である。

【図 9】

実施の形態 1 に係る画像処理装置のビデオ・データの処理の概要を示すブロック図である。

【図 10】

実施の形態 1 に係る画像処理装置の画像メモリー・アクセス制御部の処理の概

要を示すブロック図である。

【図 1 1】

実施の形態 1 に係る画像処理装置のスキナーの概略（空間フィルタの一例）を示す説明図である。

【図 1 2】

実施の形態 1 に係る画像処理装置のシェーディング補正の概略を示す説明図である。

【図 1 3】

実施の形態 1 に係る画像処理装置のシェーディング・データの概略を示す説明図である。

【図 1 4】

実施の形態 1 に係る画像処理装置に用いられる SIMD 型プロセッサの概略構成を示す説明図である。

【図 1 5】

実施の形態 2 の IN_FIFO、SIMD 型プロセッサ、OUT_FIFO の処理の流れを示すタイミングチャートである。

【図 1 6】

実施の形態 3 の IN_FIFO、SIMD 型プロセッサ、OUT_FIFO の処理の流れを示すタイミングチャートである。

【図 1 7】

実施の形態 4 の IN_FIFO、SIMD 型プロセッサ、OUT_FIFO の処理の流れを示すタイミングチャートである。

【図 1 8】

従来技術に係るデジタル複合機のハードウェア構成を示すブロック図である。

【符号の説明】

- 100 画像データ制御ユニット
- 101 画像読取ユニット
- 102 画像メモリー制御ユニット

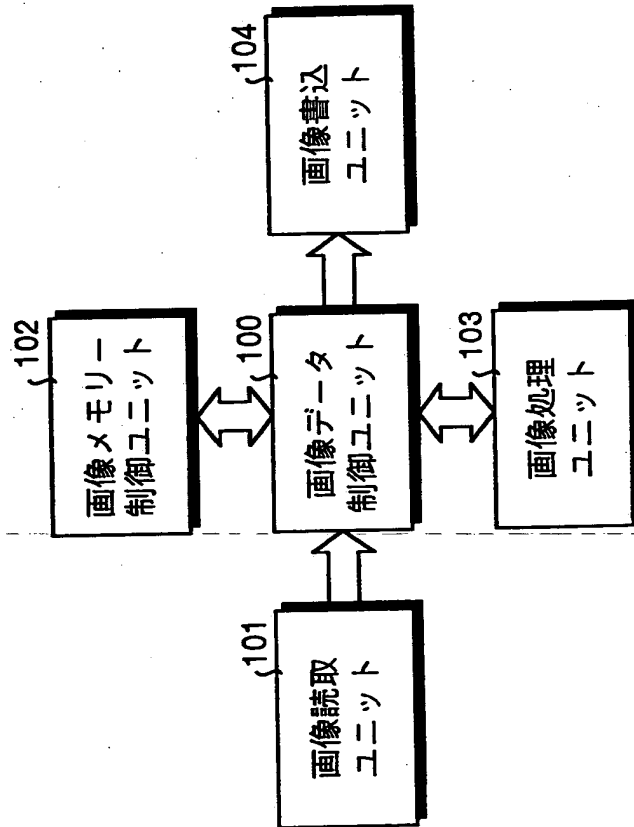
- 103 画像処理ユニット
- 104 画像書込ユニット
- 201 読取ユニット
- 202 センサー・ボード・ユニット
- 203 画像データ制御部
- 204 画像処理プロセッサ
- 205 ビデオ・データ制御部
- 206 作像ユニット (エンジン)
- 210 シリアルバス
- 211 プロセス・コントローラー
- 212, 232 RAM
- 213, 233 ROM
- 220 パラレルバス
- 221 画像メモリー・アクセス制御部 -----
- 222 メモリー・モジュール
- 223 パーソナル・コンピューター (PC)
- 224 ファクシミリ制御ユニット
- 225 公衆回線
- 231 システム・コントローラー
- 234 操作パネル
- 501, 503, 504, 506 インターフェース (I/F)
- 502 スキャナー画像処理部
- 504 画像処理部
- 507 制御部
- 601 入出力ポート
- 602 バス・スイッチ/ローカル・メモリー
- 603 メモリー制御部
- 604 プロセッサ・アレー部
- 605 プログラムRAM

- 606 データRAM
- 607 ホスト・バッファ
- 608 シリアルI/F
- 701 画像データ入出力制御部
- 702 画像データ入力制御部
- 703 データ圧縮部
- 704 データ変換部
- 705, 803, 901 パラレルデータI/F
- 706 データ伸張部
- 707 画像データ出力制御部
- 801 エッジ平滑処理部
- 802 パルス制御部
- 804 シリアルデータI/F
- ~~805 データ変換部~~
- 902 システム・コントローラI/F
- 903 メモリー・アクセス制御部
- 904 ラインバッファ
- 905 ビデオ制御部
- 906 データ圧縮部
- 907 データ伸張部
- 2001 レジスター (Reg)
- 2002 マルチプレクサー (MUX)
- 2003 バレルシフター (Shift Expand)
- 2004 論理演算器 (ALU)
- 2005 アキュムレータ (A)
- 2006 テンポラリー・レジスター (F)

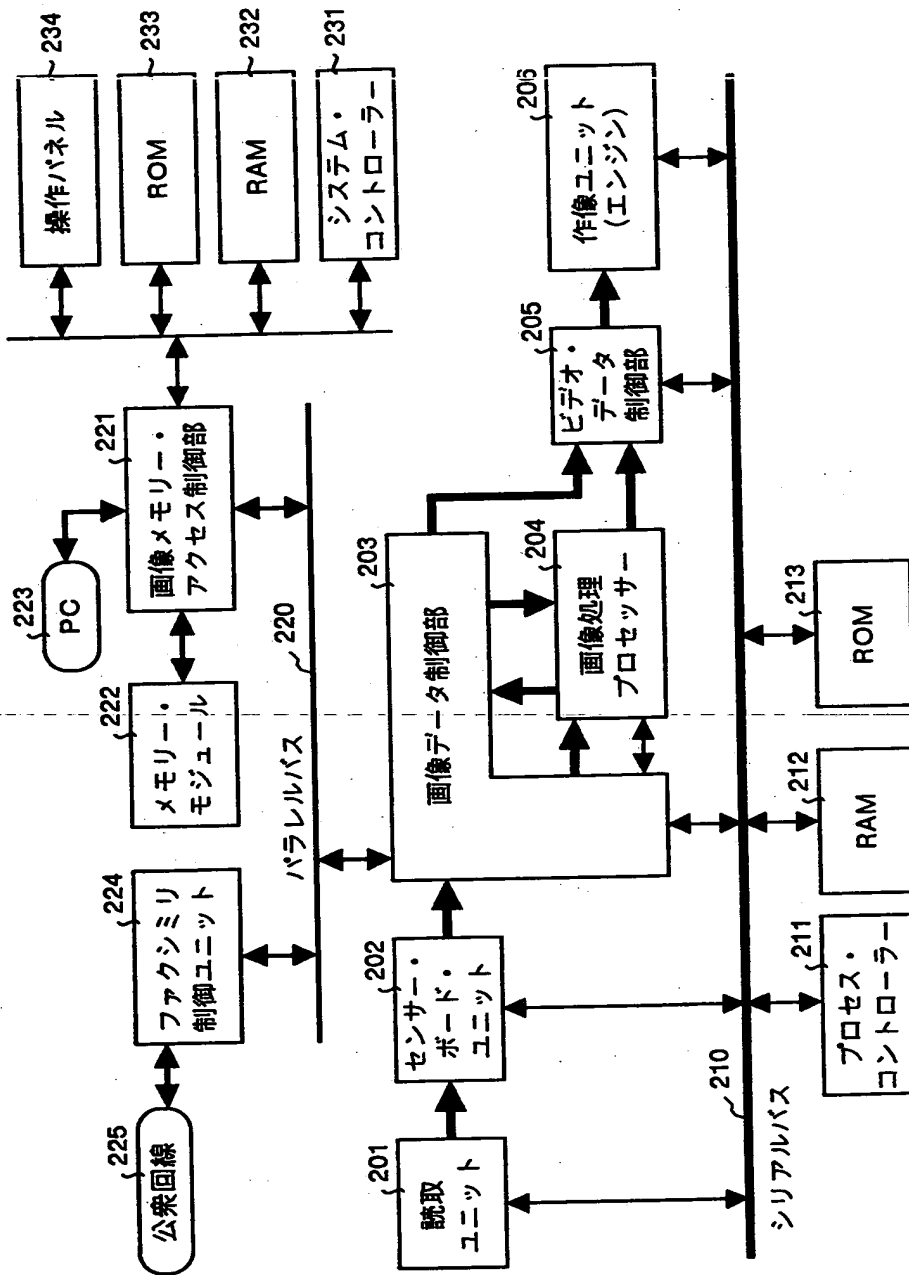
【書類名】

図面

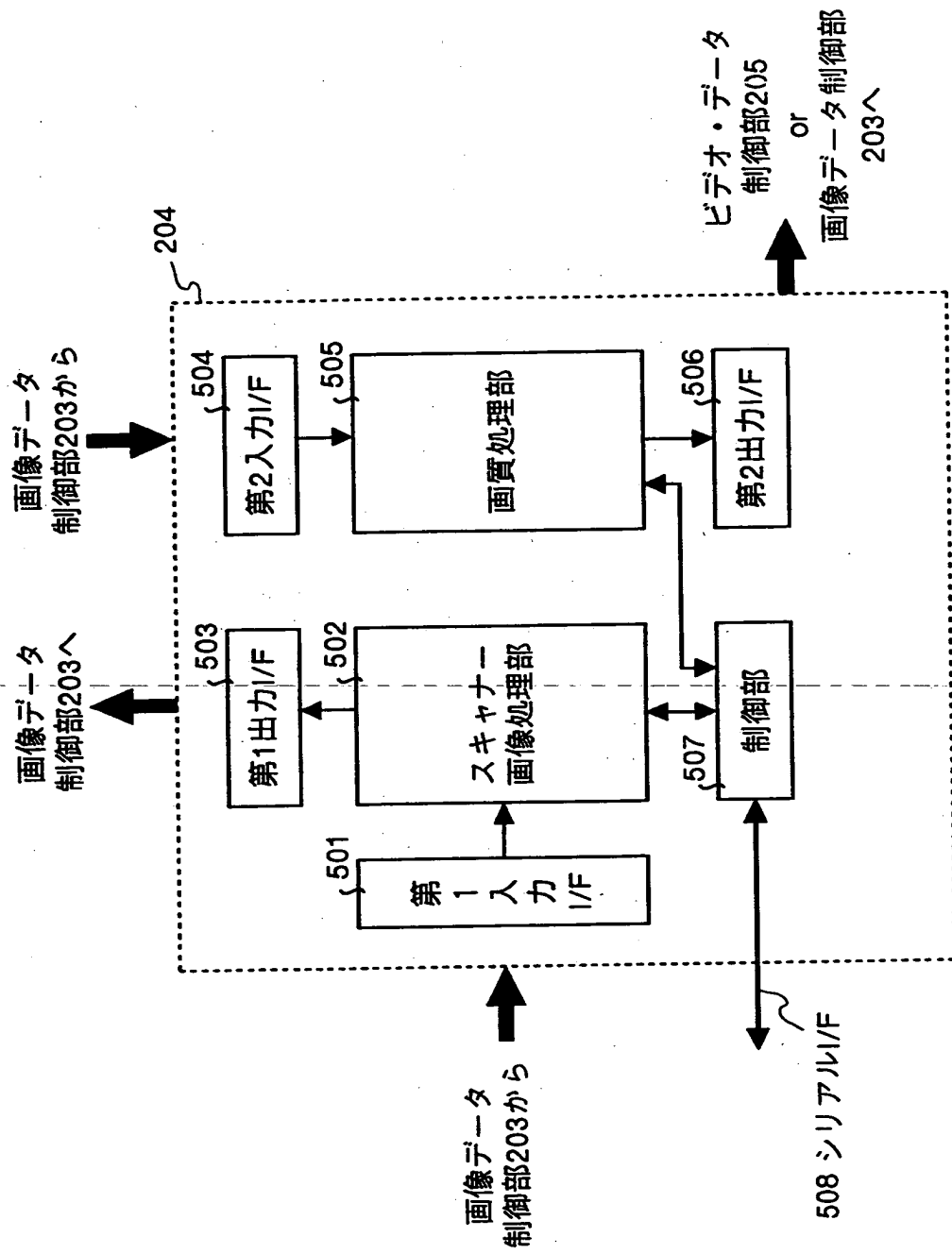
【図 1】



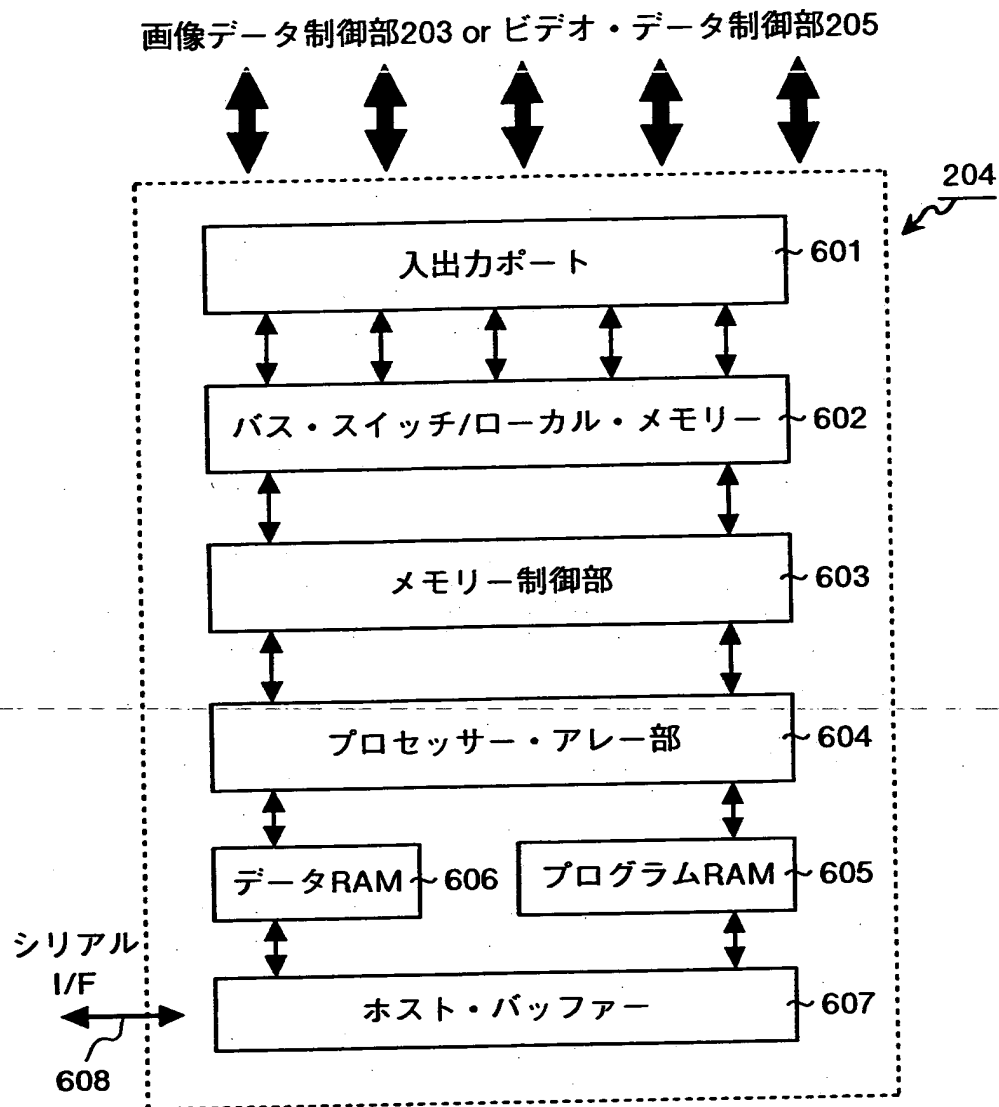
【図 2】



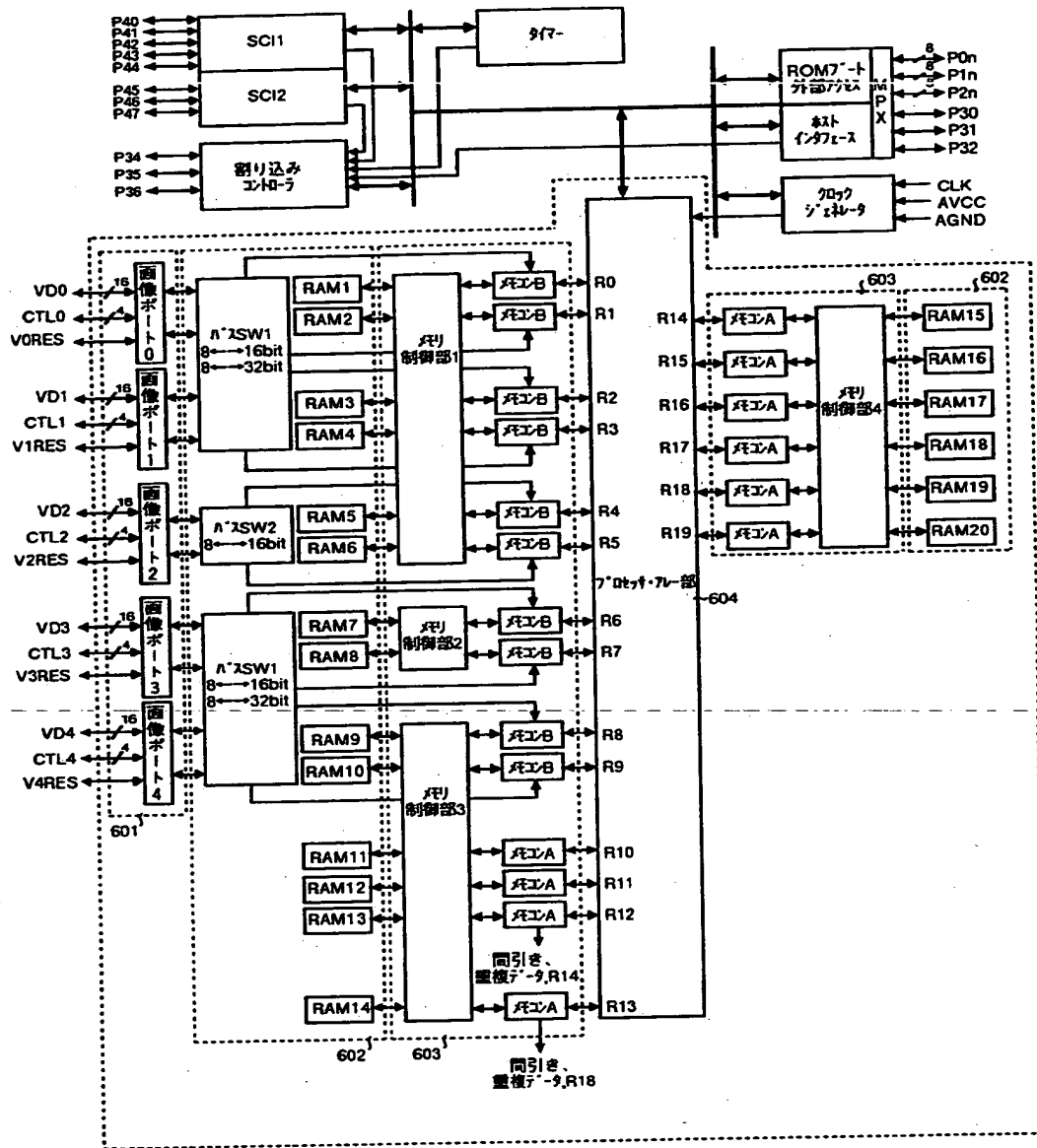
【図 3】



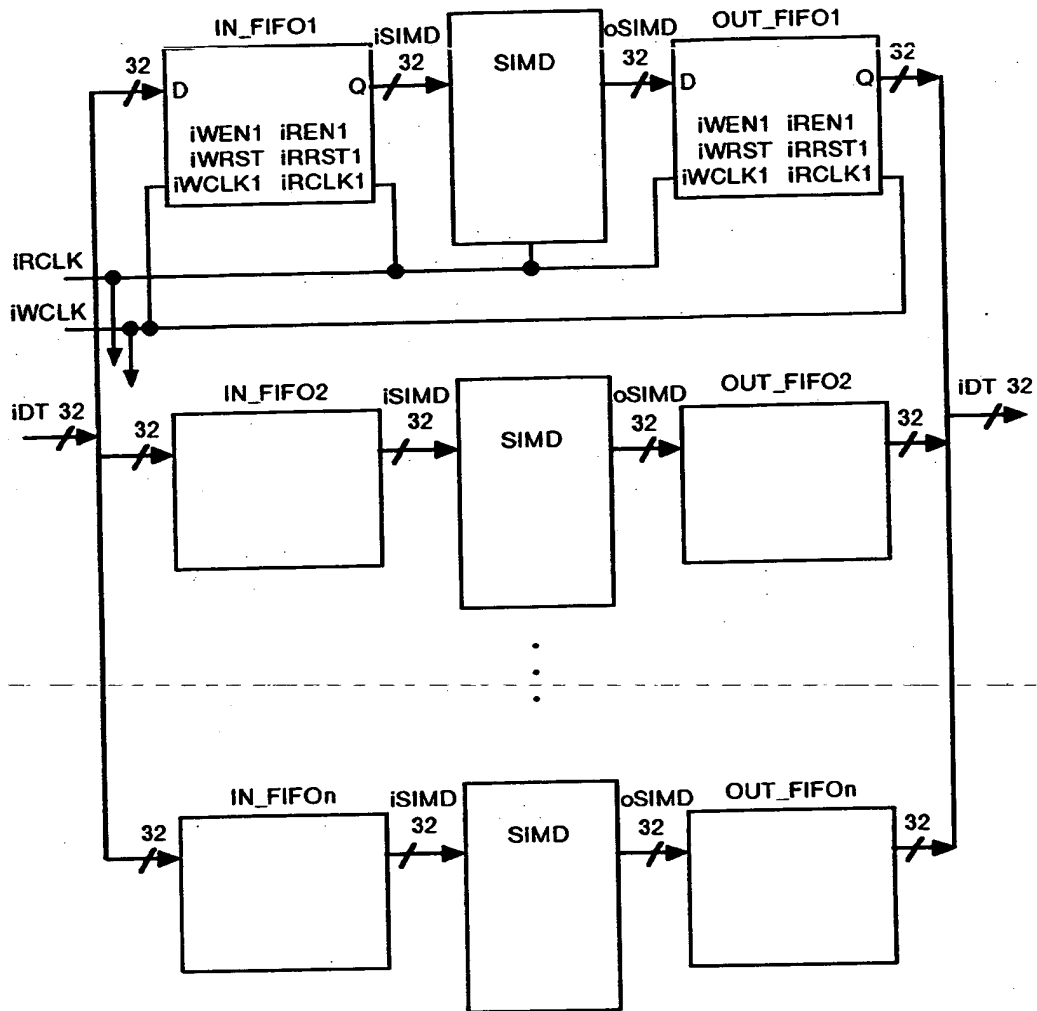
【図 4】



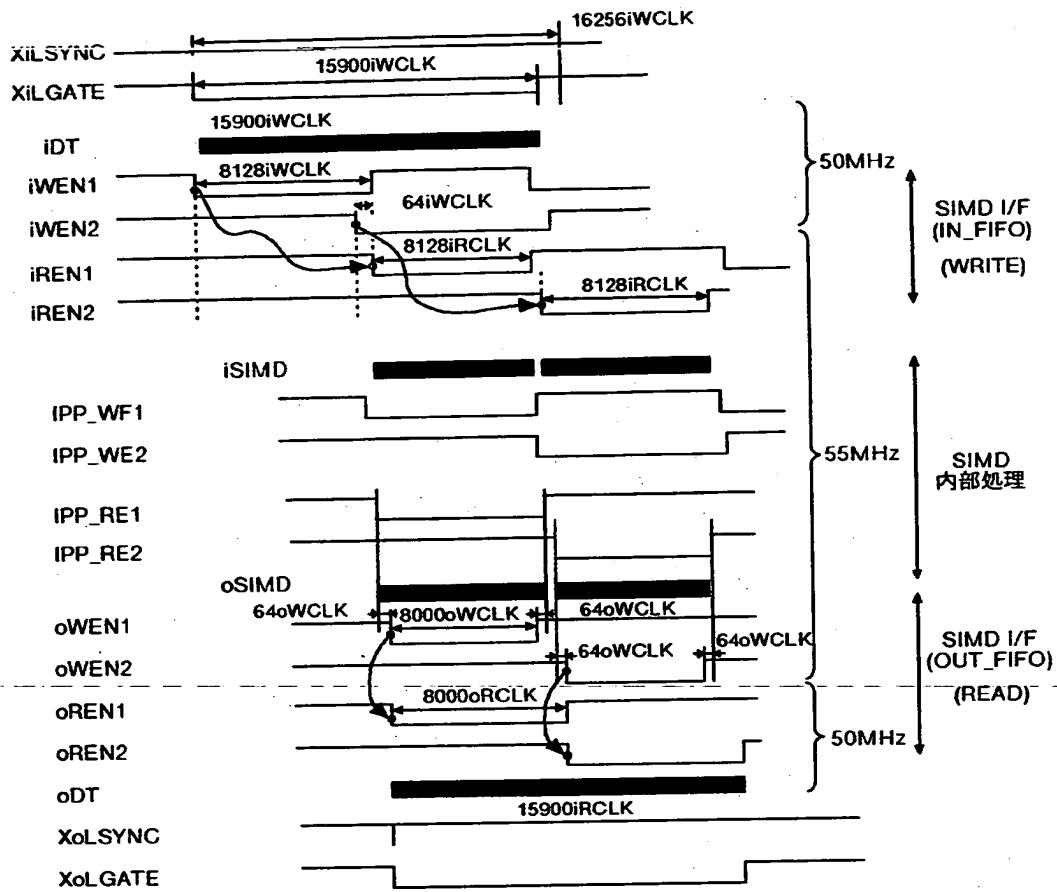
【図 5】



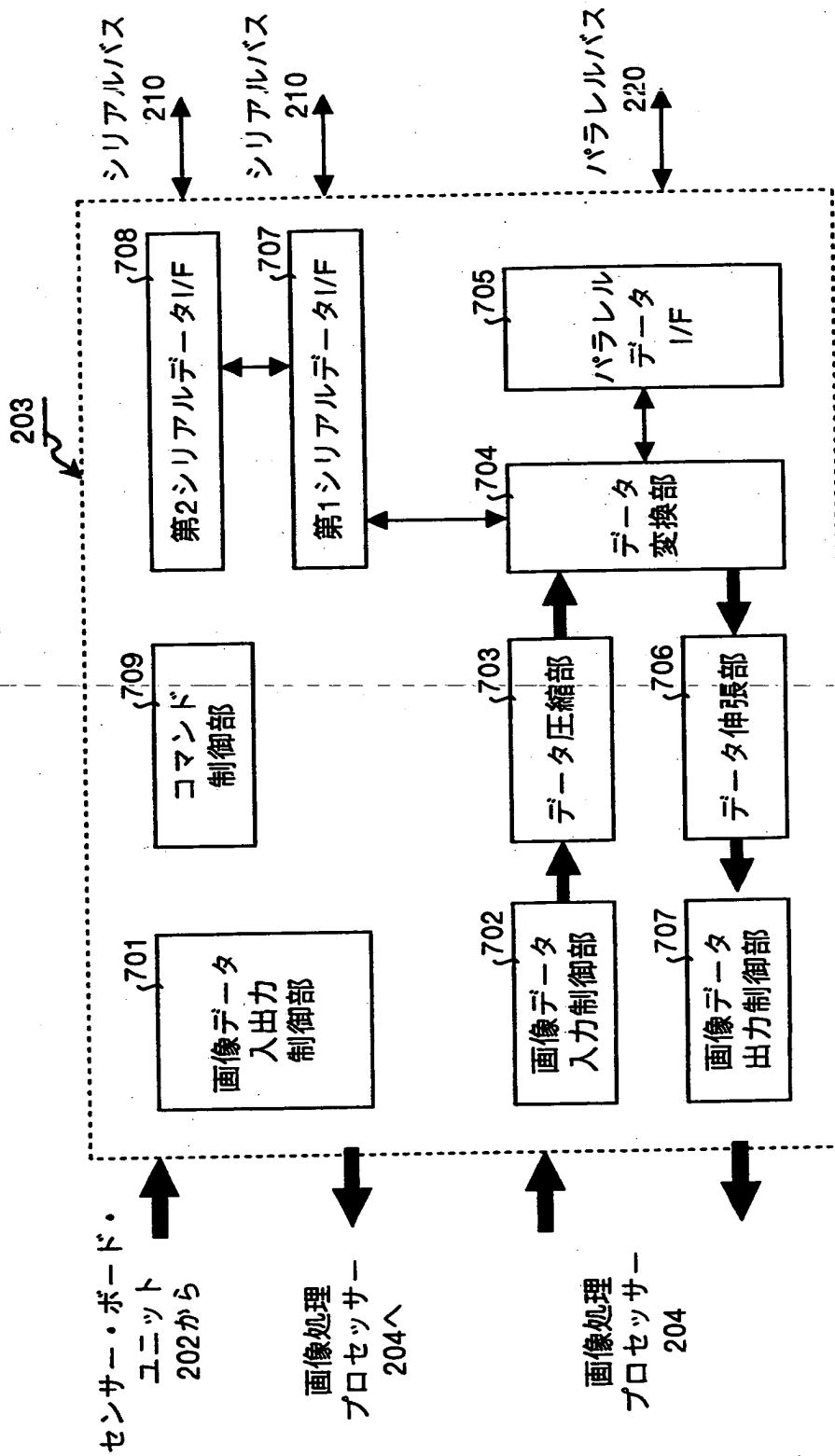
【図 6】



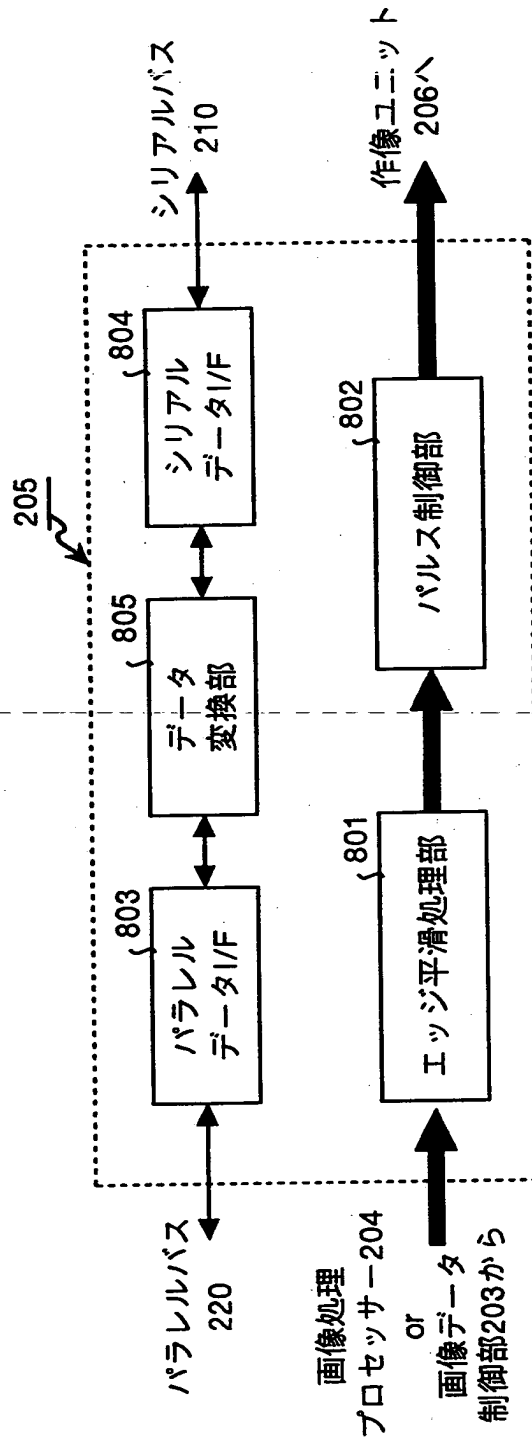
【図 7】



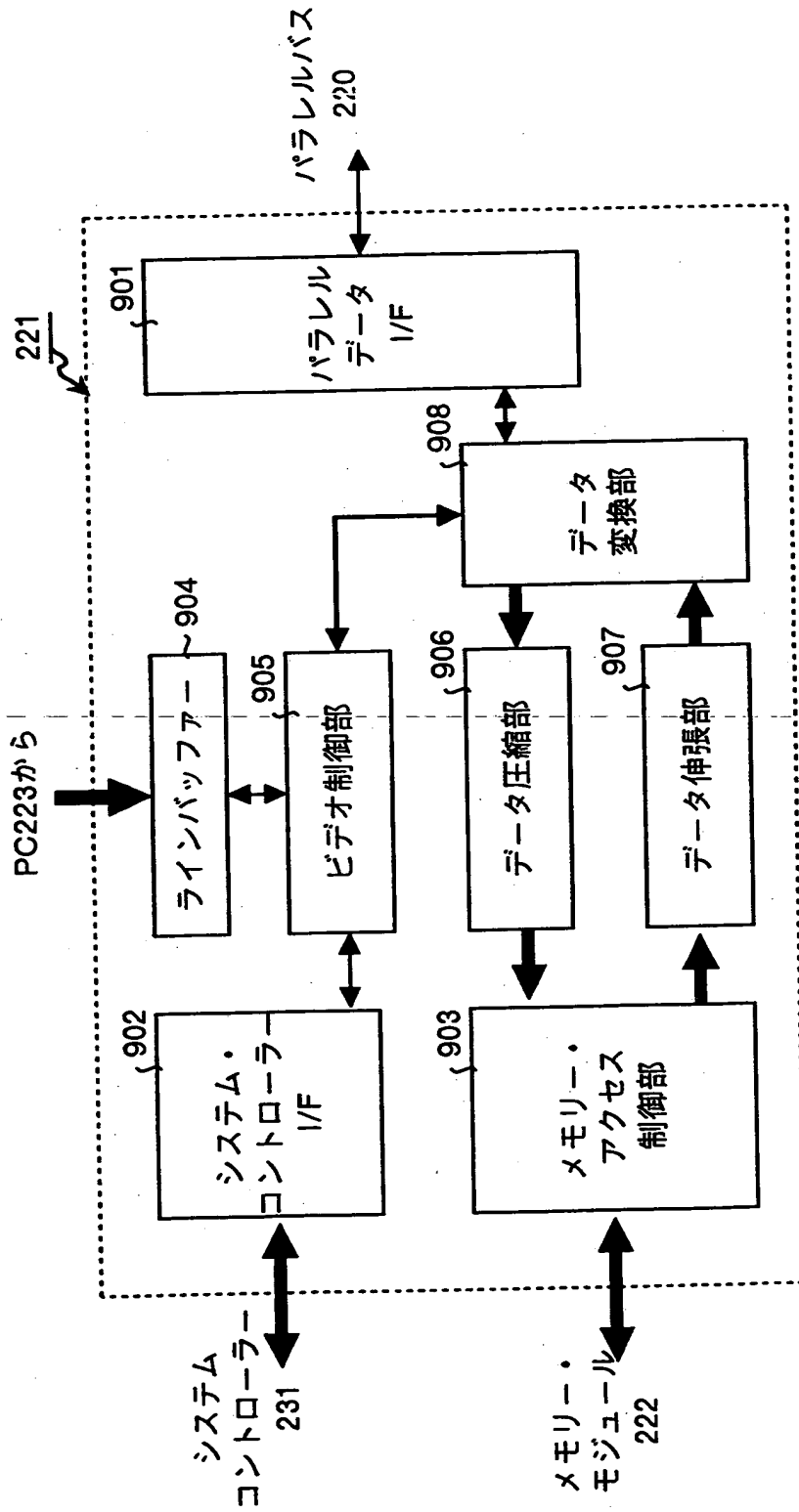
【図 8】



【図9】



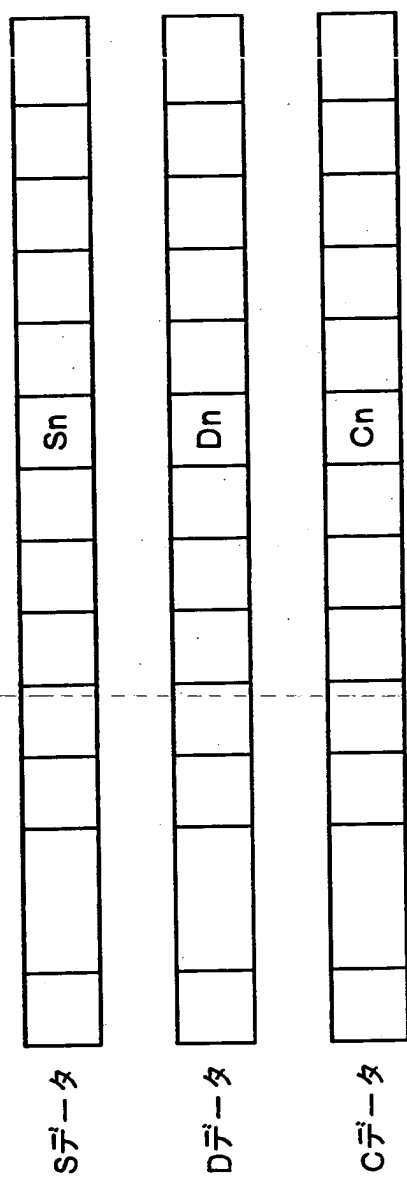
【図 10】



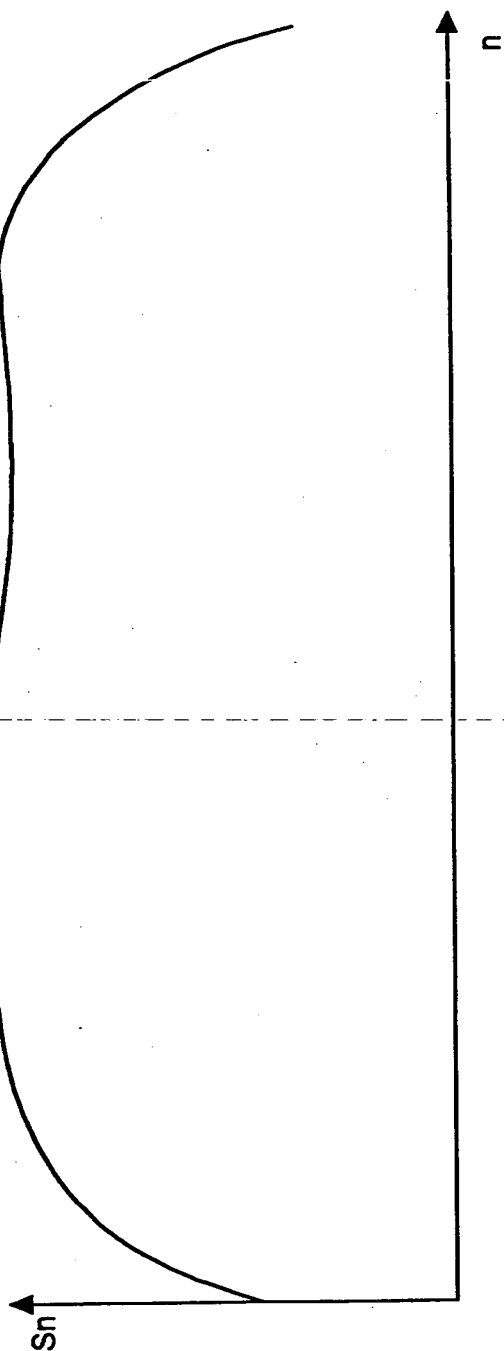
【図 1 1】

	j-2	j-1	j列	j+1	j+2
i-2	A	B	C	D	E
i-1	F	G	H	I	J
i行	K	L	M	N	O
i+1	P	Q	R	S	T
i+2	U	V	W	X	Y

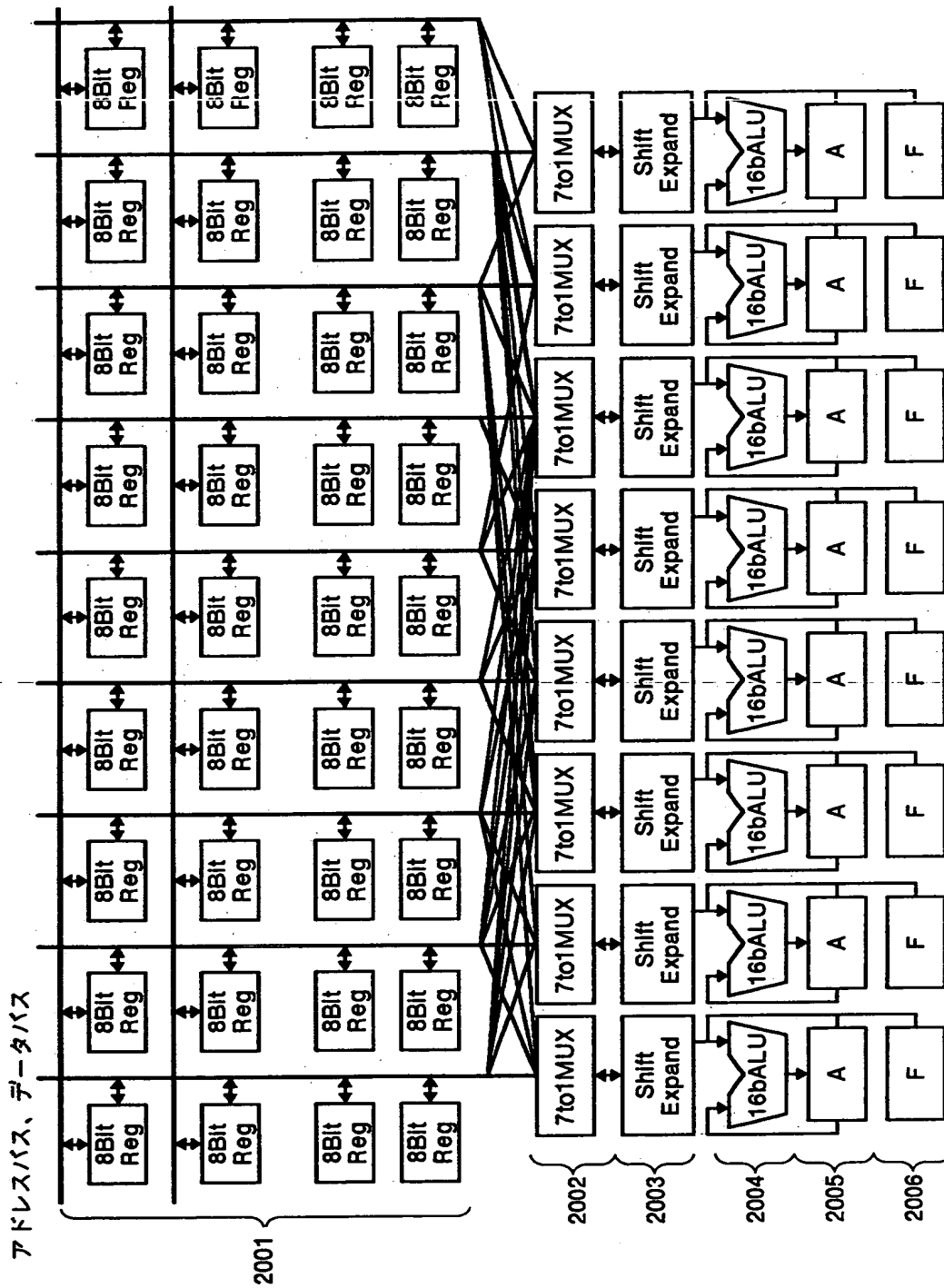
【図 12】



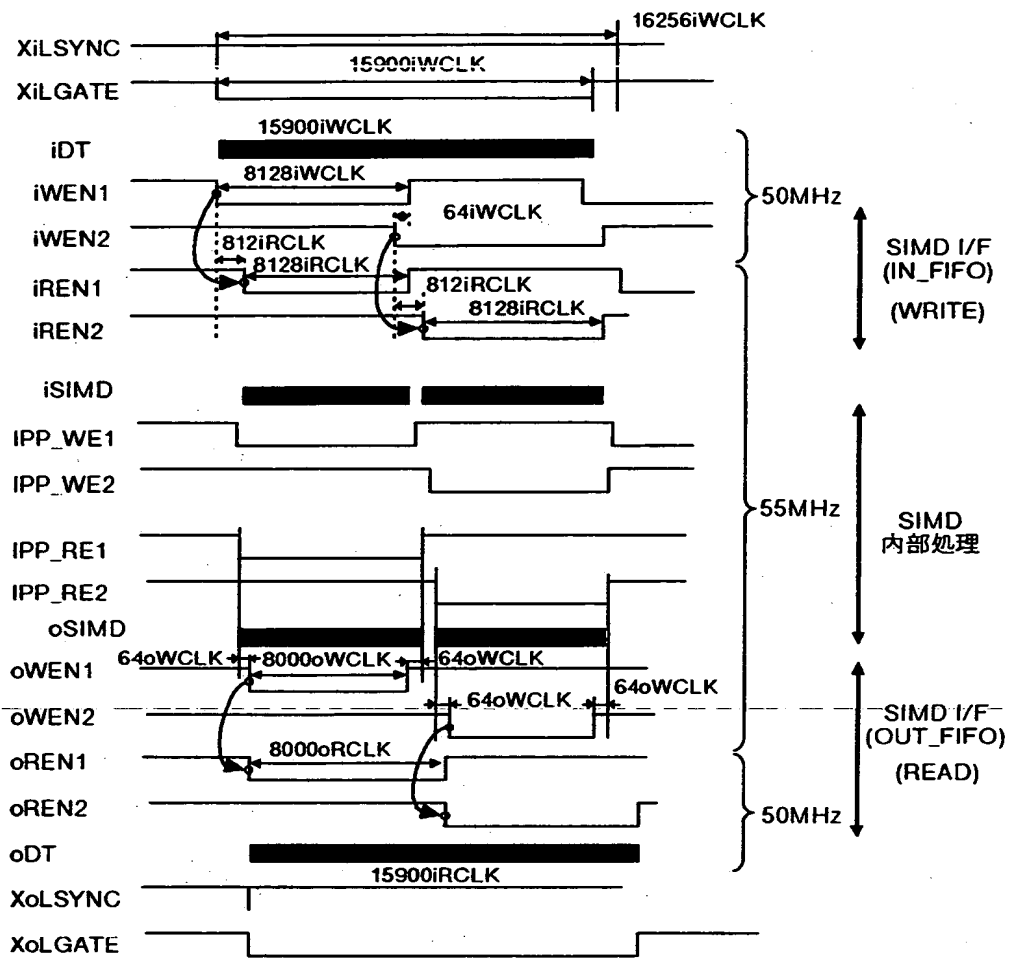
【図 13】



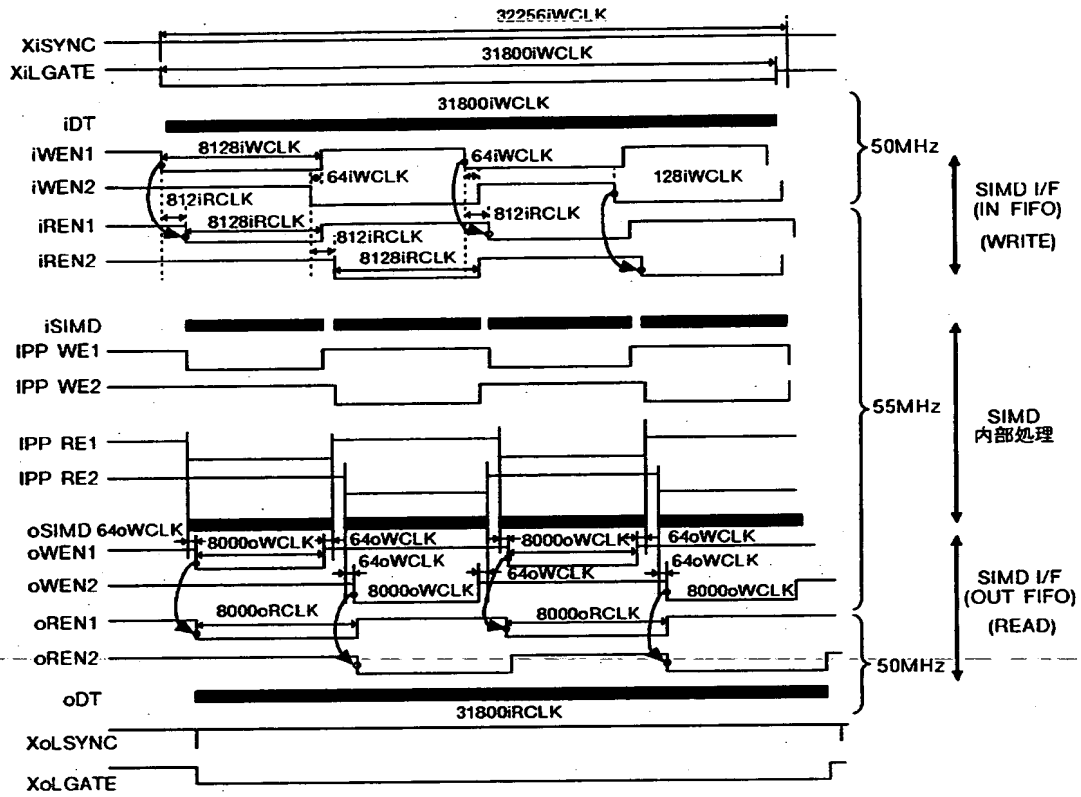
【図 14】



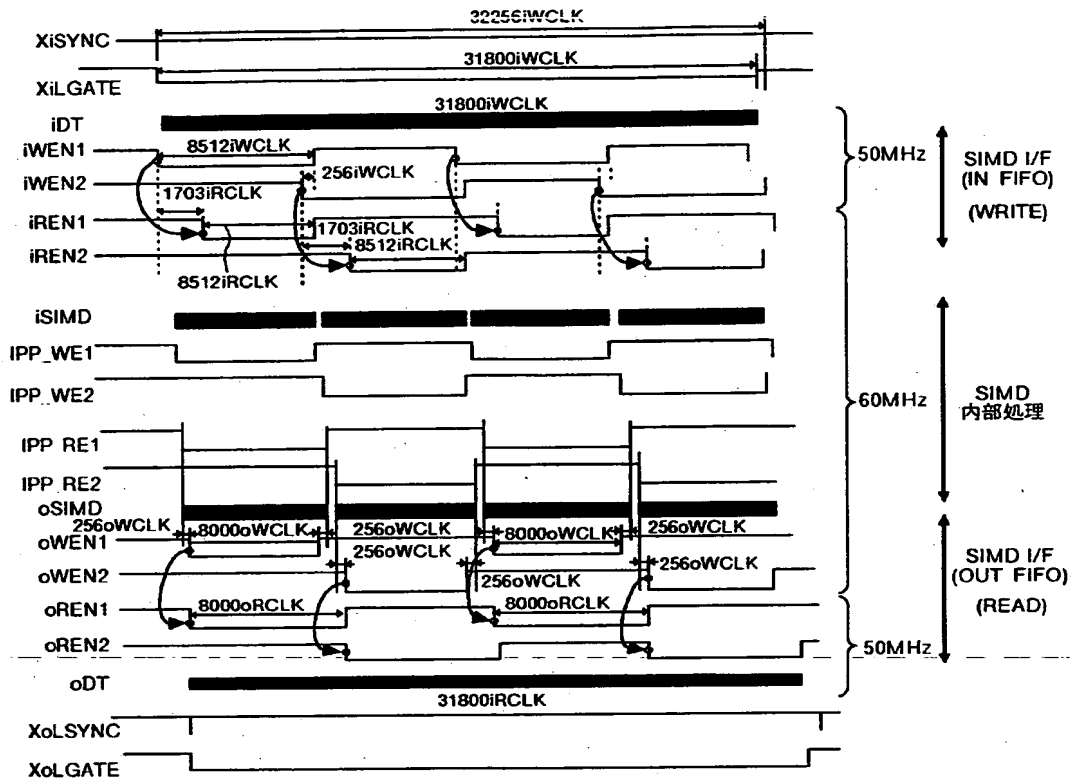
【図 1 5】



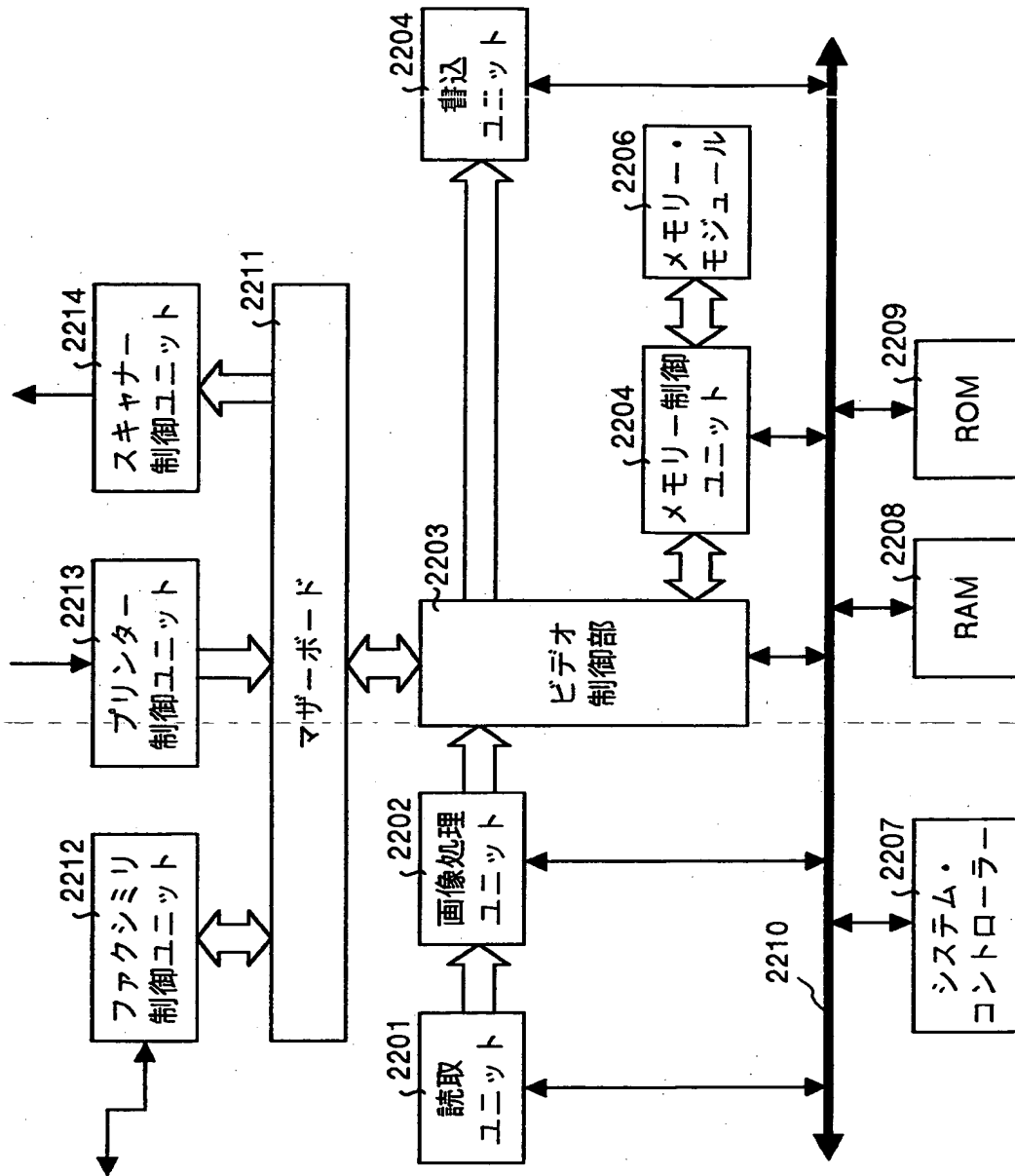
【図 16】



【図 17】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 画像処理ユニット（画像処理プロセッサ）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサを有効に活用し、高速な画像処理をおこなう画像処理装置を提供すること。

【解決手段】 画像処理装置は、所定の長さの画素を読み出してバッファリングしたのち、SIMD型プロセッサへ書き込む入力I/F用メモリーIN_FIFIFOと、IN_FIFIFOから書き込まれた画素を一括して処理するSIMD型プロセッサSIMDと、SIMDにより一括処理された画素を読み出してバッファリングしたのち、所定の出力先へ書き込む出力I/F用メモリーOUT_FIFIFOとを備え、IN_FIFIFOおよびOUT_FIFIFOの読み込みおよび／または書き込みのタイミングを制御する。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都大田区中馬込1丁目3番6号
氏 名 株式会社リコー
